

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-295880

(43)Date of publication of application : 10.11.1995

(51)Int.Cl.

G06F 12/06

(21)Application number : 06-089493

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 27.04.1994

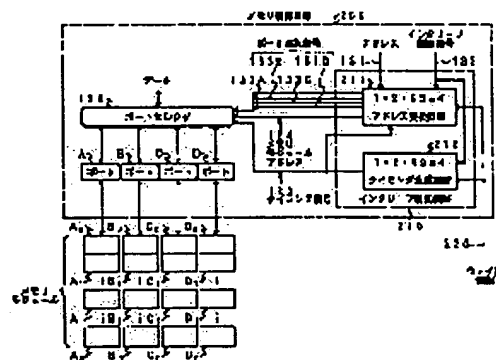
(72)Inventor : HORIOKA MASAHIRO

(54) STORAGE DEVICE APPLIED WITH INTERLEAVE SYSTEM

(57)Abstract:

PURPOSE: To efficiently execute the increase of a memory module or the like by changing the number of ways of interleave in accordance with designation from the outside.

CONSTITUTION: In a storage device in which four memory banks are constituted of memory module groups connected to ports A to D, an interleave control circuit 210 which inputs information 230 about the number of ways given by user operation, etc., and executes interleave control conforming to this information is provided. Further, in the control circuit 210, an address conversion circuit 211 which generates a memory module address 134 consisting of the position information of the memory module in the bank to be accessed and an address in the said memory module and port selection signals 133A to 133D on the basis of an externally designated address 131 and the way number information 230, etc., and outputs these to a port selector 120 is provided, and this storage device is constituted so that the interleave control conforming to the number of ways indicated by the way number information 230 is executed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the storage which applies the interleave method with which m memory banks were built by mounting two or more memory modules which consist of a memory device The number of ways of the arbitration of the interleave specified from the exterior (however, below m) is inputted. It has the interleave control circuit which performs interleave control according to the number of ways concerned. Based on the address and said number of the appointed ways of external assignment for accessing said storage in said interleave control circuit Storage which applies the interleave method characterized by establishing an address translation means to generate the selection signal for choosing the module positional information which shows the location of the memory module in a bank which should be accessed, the address in the memory module concerned, and an access place memory bank.

[Claim 2] In the storage which applies the interleave method which can build a maximum of m memory banks by mounting two or more memory modules which consist of a memory device The number of ways of the arbitration of the interleave specified from the exterior (however, below m) is inputted. It has the interleave control circuit which performs interleave control according to the number of ways concerned. While generating the module positional information which shows the location of the memory module in a bank which should access said interleave control circuit based on the address and said number of the appointed ways of external assignment for accessing said storage, and the address in the memory module concerned Storage which applies the interleave method characterized by establishing an address translation means to generate the selection signal for choosing an access place memory bank based on said number of the appointed ways.

[Claim 3] In the storage which applies the interleave method which can build a maximum of m memory banks by mounting two or more memory modules which consist of a memory device It has the interleave control circuit which performs interleave control according to the number of ways of the interleave decided by the mounting condition of said memory module. The number selection means of ways for detecting the mounting condition of said memory module within said store to said interleave control circuit, and carrying out selection setting out of the number of ways of an interleave, While generating the module positional information which shows the location of the memory module in a bank which should access based on the number of ways set up by the address of the external assignment for accessing said storage, and said number selection means of ways, and the address in the memory module concerned Storage which applies the interleave method characterized by establishing an address translation means to generate the selection signal for choosing an access place memory bank based on said number of setting-out ways.

[Translation done.]

NOTICES

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the storage which applies the interleave method represented by main storage.

[0002]

[Description of the Prior Art] In order to perform memory access at a high speed in stores, such as main storage, there are many to which an interleave method is applied from the former. An interleave method is the technique of attaining improvement in the speed by assigning the address to the memory (each being called a memory bank) prepared two or more sets in order, and accessing each bank at juxtaposition. What set the number of these banks to m is called m way interleave method.

[0003] In the storage of m way interleave method, when extending memory, only the number of ways must extend memory. That is, it is necessary to perform duplication of the storage of m way interleave method per multiple of m . For this reason, even when the capacity of required storage can secure by less than m memory, a user has to extend m memory.

[0004] As an example, the block configuration of the store of 4 way interleave method is shown in drawing 6. the inside of drawing, and $A_0 \text{ -- } B \text{ -- } 0, C_0, D_0, \text{ -- } A_n, B_n, C_n, \text{ and } D_n$ It is a memory module. each -- memory module $A_0 \text{ -- } D_n$ The board (DOTA board) which mounted DRAM realizes. Here, it is memory module $A_i \text{ -- } D_i$ of the i -th train (row number i). The address assigned turns into the address of a case with four ways in drawing 7. In this drawing 7, X shows the maximum of the address which a memory module expresses. In addition, in drawing 7, it is memory module $A_i \text{ -- } D_i$ of the i -th train of a case with one way, and a case with two ways besides a case with four ways. The address assigned is also shown.

[0005] A memory module $A_i, B_i, C_i, \text{ and } D_i$ It connects with the ports $A, B, C, \text{ and } D$ concerned so that it may be accessible from Ports $A, B, C, \text{ and } D$. Now, when accessing the storage of drawing 6 $R > 6$ from the memory control circuit 100, the address 131 and the interleave control signal 132 are given to the interleave control circuit 110 in the memory control circuit 100 concerned. This interleave control signal 132 shows whether the address which continued how many is accessed (here, it carries out to 1, 2, or 4).

[0006] The interleave control circuit 110 has 4 way address translation circuit 111 and the interleave timing generation circuit 116. 4 way address translation circuit 111 is port selection-signal 133A for choosing port $A \text{ -- } D$ to access in response to the address 131 and the interleave control signal 132 - 133D. The memory module (it consists of row number [which shows the aisle location of a memory module], and the address in memory module) address 134 is generated. Port selection-signal 133A from this address translation circuit 111 - 133D The memory module address 134 is outputted to a port selector 120, and the memory module to access is determined. When access of the address which continued with the interleave control signal 132 especially is specified, the port accessed continuously and the address of a memory module are outputted.

[0007] A port selector 120 is port selection-signal 133A from the address translation circuit 111 in the

interleave control circuit 110 - 115. The port to access is chosen. Here, if it is access of the two continuous addresses, it will be accessed in the combination of Ports A and B or Ports C and D.

[0008] Next, the interleave timing generation circuit 116 outputs the timing signal 135 with which the timing of selection of a port selector 120 is expressed based on the number of the continuous address which the interleave control signal 132 shows, and to access.

[0009] Now, they are A0 - D0, and A1 - D1 by the relation of the address assigned to a memory module when connecting a memory module to port A-D shown in drawing 6. It is Ai - Di like. It is necessary to connect four memory modules simultaneously. Moreover, the order of connection of a memory module is A0 - D0. Or An - Dn They are A0 - D0 to boards (not shown) with a mounting position (connector for memory module connection), such as the memory board and a system board. It is necessary to connect sequentially from a mounting position. For example, A0 - D0 Next, A1 - D1 A mounting position is flown and they are a memory module A2 - D2. When it connects (to the original mounting position), they are A0 - D0. It is judged as what was connected and they are a memory module A2 - D2. It cannot access. moreover, A0 - B-2 up to -- when a memory module is connected, the configuration of four ways can be taken -- A0 - D1 up to -- it is -- a sake -- A2 B-2 Access cannot be performed though the memory module was connected.

[0010]

[Problem(s) to be Solved by the Invention] As described above, with the store which applies the conventional interleave method, duplication of a memory module had to be extended according to the number of ways of immobilization (the number of banks), namely, since a duplication unit was immobilization, there was a problem that a user will be able to decide the number of the memory module to extend regardless of the capacity of the store to need. For this reason, when unnecessary, the problem that a user's burden became large also had only the storage of small capacity.

[0011] This invention was made in consideration of the above-mentioned situation, and the object has the change in the memory module of the amount which a user needs in offering the storage which applies the interleave method which can be held without being influenced by the number of banks by the ability being made to carry out adjustable [of the number of ways of an interleave] according to the assignment from the outside.

[0012] Other objects of this invention are by determining the memory bank used according to the number of the appointed ways from the outside to offer the storage which applies the interleave method which can perform interleave control suitable for the memory bank configuration (memory module mounting gestalt) which the user built.

[0013] The object of further others of this invention is to offer the storage which applies the interleave method which can carry out selection setting out of the number of ways automatically according to a memory bank configuration (memory module mounting gestalt).

[0014]

[Means for Solving the Problem and its Function] The store concerning the 1st viewpoint of this invention is a store which applies the interleave method with which m memory banks were built by mounting two or more memory modules which consist of a memory device. With the address translation means which inputted the number of ways of the arbitration of the interleave specified from the exterior (however, below m), is equipped with the interleave control circuit which performs interleave control according to the number of ways concerned, and was formed in this interleave control circuit It is characterized by generating the selection signal for choosing the module positional information which shows the location of the memory module in a bank which should access based on the address and the number of the appointed ways of external assignment, the address in the memory module concerned, and an access place memory bank.

[0015] In the above-mentioned configuration, the selection signal for choosing the address in the module positional information which is decided in the number of ways of external assignment and the address of external assignment and which shows the location of the memory module in a bank which should be accessed, and the memory module concerned, and an access place memory bank (memory bank for several appointed way minutes fundamentally decided by the external appointed address and the number

of the appointed ways) is generated by the address translation means in an interleave control circuit. Thereby, the memory module in the location which the above-mentioned module positional information in each memory bank which a selection signal shows in a store, and which the memory bank for several appointed way minutes was chosen, for example, and was chosen shows is accessed according to the above-mentioned address in a memory module.

[0016] Thus, the interleave control with the number of the appointed ways is attained by specifying from the outside the number of ways of the arbitration which makes several m of the memory bank currently built an upper limit, without being influenced by the number of memory banks. therefore -- for example, even if, I want to secure memory space required of duplication of the minimum memory module at the sacrifice of an access rate, when the number of memory modules required to increase memory capacity does not turn into a multiple of m -- what is necessary is just to specify the number of ways of under m , if it becomes

[0017] The store concerning the 2nd viewpoint of this invention is a store which applies the interleave method which can build a maximum of m memory banks by mounting two or more memory modules which consist of a memory device. With the address translation means which inputted the number of ways of external assignment (however, below m), is equipped with the interleave control circuit which performs interleave control according to the number of ways concerned, and was formed in this interleave control circuit While generating the module positional information which shows the location of the memory module in a bank which should access based on the address and the number of the appointed ways of external assignment, and the address in the memory module concerned It is characterized by generating the selection signal for choosing an access place memory bank based on the number of the appointed ways.

[0018] In the above-mentioned configuration, the address in the module positional information which is decided in the number of ways of external assignment and the address of external assignment and which shows the location of the memory module in a bank which should be accessed, and the memory module concerned is generated by the address translation means in an interleave control circuit. Moreover, the selection signal for choosing the memory bank for several appointed way minutes decided only by the number of the appointed ways as an access place memory bank with this address translation means is also generated.

[0019] Thus, since the location and the number of a memory bank of an access place are decided only by the number of the appointed ways as the first place, Since in other words the location and the number of a memory bank to be used can specify it as arbitration by the number assignment of ways from the outside and interleave control of the number of the appointed ways can be performed for the appointed bank, a user only specifies the number of ways. The interleave control doubled with the memory bank configuration (memory module mounting gestalt) which self built can be made to perform.

[0020] Moreover, it also becomes possible by establishing the number selection means of ways for detecting the above-mentioned memory bank configuration (memory module mounting gestalt), and carrying out selection setting out of the number of ways of an interleave to choose automatically the number of ways doubled with the memory bank configuration (memory module mounting gestalt) which the user built.

[0021]

[Example] Hereafter, with reference to a drawing, it explains per example of this invention.

[1st example] drawing 1 is the block block diagram showing the 1st example of the store which applies the interleave method of this invention. In addition, the same sign is given to the same part as drawing 6.

[0022] The storage of drawing 1 is the memory module A0 controlled by the memory control circuit 200 and this memory control circuit 200, B0, C0, D0, A1, B1, C1, and D1. -- It was constituted by the group, and setting-out modification is possible to the number of ways of the arbitration of one way, two ways, and the four ways, and it has come to it.

[0023] The memory control circuit 200 consists of an interleave control circuit (1, 2, and 4 way interleave control circuit) 210, a port selector 120, and four port A-D.

[0024] The board (DOTA board) which mounted DRAM with a capacity of 64KB (kilobyte) realizes, and memory module $A_i - D_i$ ($i=0-n$) of the i -th train is specified with a row number i , and is accessed by the 16-bit DRAM address (address in a memory module).

[0025] The interleave control circuit 210 is b31-b0 which input the number information 230 of ways which shows the number of ways specified from the exterior, change the number of ways, and are given from the number of ways, and the outside. Based on the address 131 and the interleave control signal 132 of 32 bit patterns, conversion to the memory module address, timing generation of an interleave method, etc. are performed.

[0026] A port selector 120 chooses the port accessed out of port A-D in response to control of the interleave control circuit 210. Ports A are the memory module A0 connected to the port A concerned, A1, and data input/output port between --, and have an input output buffer (not shown).

[0027] Ports B are the memory module B0 connected to the port B concerned, B1, and data input/output port between --, and have an input output buffer (not shown). Ports C are the memory module C0 connected to the port C concerned, C1, and data input/output port between --, and have an input output buffer (not shown).

[0028] Ports D are the memory module D0 connected to the port D concerned, D1, and data input/output port between --, and have an input output buffer (not shown). The interleave control circuit 210 consists of 1, 2 and a 4 way address translation circuit 211, and 1, 2 and 4 way timing generation circuit 216.

[0029] 1, 2, and 4 way address translation circuit 211 are port selection-signal 133A for choosing port A-D - 133D according to the number information 230 of ways specified from the exterior based on the address 131, the interleave control signal 132, and timing signal (from 1, 2, and 4 way timing generation circuit 216) 135 which are inputted. The memory module (it consists of row number [of a memory module] and the address in module) address 134 is generated.

[0030] Drawing 2 shows the configuration of 1, 2, and 4 way address translation circuit 211. 1, 2, and 4 way address translation circuit 211 consist of an address selection circuit 212, a consecutive-addresses generation circuit 213, and a port selection-control circuit 214.

[0031] The address selection circuit 212 is b31-b0 which are inputted. For example, the row number 231 of 14 bits and the address 232 in [of 16 bits] a memory module, and the 2-bit port number 233 that shows a port location which shows the aisle location of the memory module to access by information selection actuation based on the number information 230 of ways for the address 131 of 32 bit patterns are generated.

[0032] The address selection circuit 212 is b15-b0 in the address 131 about b31-b18 in the address 131 as the address 232 in a memory module as a row number 231, when one way is specified using the number information 230 of ways in this example. And it is constituted so that b17b16 in the address 131 may be chosen as a port number 233, respectively.

[0033] moreover -- the case where, as for the address selection circuit 212, two ways are specified using the number information 230 of ways -- as a row number 231 -- b31-b18 in the address 131 -- as the address 232 in a memory module -- b16-b1 in the address 131 and -- as a port number 233 -- b17b0 in the address 131 It is constituted so that it may choose, respectively.

[0034] moreover -- the case where, as for the address selection circuit 212, four ways are specified using the number information 230 of ways -- as a row number 231 -- b31-b18 in the address 131 -- as the address 232 in a memory module -- b17-b2 in the address 131 and -- as a port number 233 -- b1 b0 in the address 131 It is constituted so that it may choose, respectively.

[0035] Next, the consecutive-addresses generation circuit 213 carries out a sequential generation output to the timing the timing signal 135 from 1, 2, and 4 way timing generation circuit 216 indicates the address 234 in a memory module for the number which the interleave control signal 132 specifies to be, when the number information 230 of ways and the interleave control signal 132 fulfill either the conditions (1) described below - conditions (3) in response to the address 232 in a memory module from the address selection circuit 212.

[0036] Conditions (1) are the cases where the number information 230 of ways shows one way, and the interleave control signal 132 shows four address continuation, first. In this case, the consecutive-

addresses generation circuit 213 outputs in order the address 234 in a memory module with which 2 bits of low order of the address 232 in a memory module were transposed to "00", "01", "10", and "11", respectively.

[0037] Next, conditions (2) are the cases where the number information 230 of ways shows one way, and the interleave control signal 132 shows two address continuation. In this case, the consecutive-addresses generation circuit 213 outputs in order the address 234 in a memory module with which 1 bit of low order of the address 232 in a memory module was transposed to "0" and "1", respectively.

[0038] Next, conditions (3) are the cases where the number information 230 of ways shows two ways, and the interleave control signal 132 shows four address continuation. In this case, the consecutive-addresses generation circuit 213 outputs in order the address 234 in a memory module with which 1 bit of low order of the address 232 in a memory module was transposed to "0" and "1", respectively like the case of conditions (2).

[0039] In other than above-mentioned condition (1) - (3), the consecutive-addresses generation circuit 213 outputs the address 232 in a memory module inputted as the address 234 in a memory module as it is.

[0040] The function of the above consecutive-addresses generation circuit 213 is arranged and shown in drawing 3. The address 234 in a memory module from the consecutive-addresses generation circuit 213 is combined with the row number 231 from the address selection circuit 212, and is sent to a port selector 120 as the memory module address 134 from 1, 2, and 4 way address translation circuit 211.

[0041] On the other hand, the port selection-control circuit 214 is port selection-signal 133A - 133D based on the port number 233 and the interleave control signal 132 from the outside, and the number information 230 of ways from the address selection circuit 212. It determines.

[0042] Next, 1, 2, and 4 way timing generation circuit 216 in 1, 2, and 4 way interleave control circuit 210 output the timing signal 135 with which the timing of selection of a port selector 120 is expressed based on the interleave control signal 132 and the number information 230 of ways.

[0043] Next, actuation of the 1st example of this invention is explained. With the store of drawing 1, the number information 230 of ways which the number of ways to use out of one way, two ways, and four ways can be changed and set up now by switch actuation of a user etc., and shows that number of ways by this actuation is first given to the interleave control circuit 210 in the memory control circuit 200. Setting out of this number of ways is possible by keyboard grabbing besides switch actuation etc.

[0044] Moreover, in case a memory module is extended in the store of drawing 1, they are A0, B0, C0, D0, A1, B1, C1, D1, --Ai, Bi, Ci, Di, --An, Bn, Cn, and Dn. It is necessary to carry out in order. A user mounts a required number of memory modules on a board in above order according to the capacity of the store which self needs.

[0045] They are A0 - D2. When the memory module of until is mounted, a user usually sets up four ways for improvement in the speed of memory access. Now, generally the memory duplication in the case of using it in four ways needs to carry out four memory modules to a unit. For this reason, in memory space for example, even when duplication of two memory modules is enough, four memory modules (if it is the case where A0 - D2 are mounted, they are four memory modules of A3 - D3) must be extended.

[0046] However, there is a case where he wants for some users to secure memory space required of duplication of the minimum memory module at the sacrifice of an access rate even if. Since it can change to 2 way interleave by changing and setting up two ways so that it may state below if it is case sufficient with two memory modules in memory space for example, in this example, it is duplication of a memory module A3 (not being four of A3 like [in the case of four ways] - D3) B3 It can stop to the minimum. The burden (on cost) by the side of a user is mitigable with this.

[0047] Moreover, it is A0 - B3 by the above-mentioned duplication. What is necessary is just to change from two ways to four ways to accelerate an access rate, even if until sacrifices memory space shortly in the mounted storage. Thereby, 4 way interleave control is performed and an access rate can be gathered. However, it is A3 in this case. B3 A memory module is not accessed but becomes useless.

[0048] Here, each at the time of (3) 4 way assignment is explained in order about the way change

according to the number information 230 of ways at the time of (2) 2 way assignment at the time of (1) 1 way assignment.

(1) The address 131 and the interleave control signal 132 of 32 bit patterns should be first given to the memory control circuit 200 in the store of drawing 1 in the condition that one way is specified using the number information 230 of ways, at the time of 1 way assignment.

[0049] This address 131 and the interleave control signal 132 are inputted into 1, 2, and 4 way address translation circuit 211 in the interleave control circuit 210 established in the memory control circuit 200 with the number information 230 of ways.

[0050] The address selection circuit 212 in 1, 2, and 4 way address translation circuit 211 performs information selection actuation for the address 131 in the input concerned based on the number information 230 of ways in the input to 1, 2, and 4 way address translation circuit 211, and generates the address 232 with a row number [231 or 16 bits] of 14 bits in a memory module, and the 2-bit port number 233.

[0051] Like this example, when one way is specified using the number information 230 of ways, the address selection circuit 212 makes a row number b31-b18 in the address 131 of 32 bit patterns, and it is b15-b0. It considers as the address 232 in a memory module, and a selection output is carried out by making b17b16 into a port number 233, respectively.

[0052] The port number 233 (b17b16 in the address 131) from the address selection circuit 212 is inputted into the port selection-control circuit 214 with the interleave control signal 132 and the number information 230 of ways.

[0053] The port selection-control circuit 214 is port selection-signal 133A - 133D, when one way is specified using the number information 230 of ways like this example. Only one port selection signal corresponding to the port which a port number 233 (b17b16 in the address 131) shows is activated inside.

[0054] The address 232 in a memory module from the address selection circuit 212 is inputted into the consecutive-addresses generation circuit 213 with the interleave control signal 132, the number information 230 of ways, and a timing signal 135. This timing signal 135 is generated by 1, 2, and 4 way timing generation circuit 216 based on the interleave control signal 132 and the number information 230 of ways. When four address continuation access is specified by the interleave control signal 132 and one way is specified using the number information 230 of ways, specifically When a timing signal 135 is generated continuously 4 times, four address continuation access is specified by the interleave control signal 132 and two ways are specified using the number information 230 of ways, When two address continuation access is specified by the interleave control signal 132 and one way is specified using the number information 230 of ways, a timing signal 135 is generated twice continuously and a timing signal 135 is generated only once except [its].

[0055] The consecutive-addresses generation circuit 213 will be outputted according to the timing signal 135 from 1, 2, and 4 way timing generation circuit 216 by making the address 232 in a memory module from the address selection circuit 212 into the address 234 in a memory module as it is, if single address access is specified by the interleave control signal 132 when one way is specified using the number information 230 of ways like this example.

[0056] Moreover, the consecutive-addresses generation circuit 213 will output in order the address 234 in a memory module with which 1 bit of low order of the address 232 in a memory module from the address selection circuit 212 was transposed to "0" and "1", respectively according to the timing signal 135 from 1, 2, and 4 way timing generation circuit 216, if two address continuation access is specified by the interleave control signal 132 when one way is specified using the number information 230 of ways.

[0057] Moreover, if four address continuation access is specified by the interleave control signal 132 when one way is specified using the number information 230 of ways, the consecutive-addresses generation circuit 213 The address 234 in a memory module with which 2 bits of low order of the address 232 in a memory module from the address selection circuit 212 were transposed to "00", "01", "10", and "11", respectively It outputs according to the timing signal 135 from 1, 2, and 4 way timing

generation circuit 216.

[0058] The address 234 in a memory module from the consecutive-addresses generation circuit 213 is combined with the row number 231 from the address selection circuit 212, and is supplied to a port selector 120 with port selection-signal 133A - 133D (in the example of one way, only any one is active) as the memory module address 134 from 1, 2, and 4 way address translation circuit 211. The timing signal 135 from 1, 2, and 4 way timing generation circuit 216 is also supplied to this port selector 120.

[0059] A port selector 120 is selection-signal 133A - 133D. The port which an inner active port selection signal specifies is chosen according to the timing signal 135 from the timing generation circuit 216, and the memory module address 134 is passed. When one way (1 way interleave) is specified like this example, only one port that b17b16 in the address 131 show is chosen. And the memory module of the aisle location which is connected to the selected port and specified with the row number 231 in the memory module address 134 is accessed by the address 234 in a memory module in the memory module address 134.

[0060] A row number 231 is b31-b18 in the address 131 here. The address 234 in a memory module is b15-b0 in the address 131. Very thing (in the case of single address access), b15-b0 The thing (in the case of two address continuation access) with which 1 bit of low order was replaced to "0" or "1", or b15-b0 2 bits of low order were transposed to "00", "01", "10", or "11" (in the case of four address continuation access). Therefore, the address allotment to memory module A_i - D_i of the row number i in this example becomes like the case with one way in drawing 7.

(2) Explain the case where two ways are specified using the time of 2 way assignment, next the number information 230 of ways.

[0061] The address selection circuit 212 in 1, 2, and 4 way address translation circuit 211 performs information selection actuation for the address 131 of 32 bit patterns based on the number information 230 of ways.

[0062] Like this example, when two ways are specified using the number information 230 of ways, the address selection circuit 212 makes a row number b31-b18 in the address 131 of 32 bit patterns, and it is b16-b1. It considers as the address 232 in a memory module, and is b17b0. It considers as a port number 233 and a selection output is carried out, respectively.

[0063] The port number 233 (here b in the address 131 17b0) from the address selection circuit 212 is inputted into the port selection-control circuit 214 with the interleave control signal 132 and the number information 230 of ways.

[0064] If single address access is specified by the interleave control signal 132 when two ways are specified using the number information 230 of ways like this example, the port selection-control circuit 214 Port selection-signal 133A - 133D Only only one port selection signal corresponding to the port which a port number 233 (b17b0 in the address 131) shows is activated inside. If two address continuation access or four address continuation access is specified by the interleave control signal 132 two port selection signals ("0" -- if it becomes -- port selection-signal 133A and 133B --) corresponding to the port which the most significant bit (b17 in the address 131) of a port number 233 shows among port selection-signal 133A - 133D If it is "1", only the port selection signals 133C and 133D will be activated.

[0065] The address 232 in a memory module from the address selection circuit 212 is inputted into the consecutive-addresses generation circuit 213 with the timing signal 135 from the interleave control signal 132, the number information 230 of ways, and 1, 2 and 4 way timing generation circuit 216. when two ways are specified using the number information 230 of ways like this example in a timing signal 135, four address continuation access is specified by the interleave control signal 132 -- if it becomes, it will generate continuously twice -- having -- other than this -- coming out -- it is generated only once.

[0066] The consecutive-addresses generation circuit 213 will be outputted according to the timing signal 135 from 1, 2, and 4 way timing generation circuit 216 by making the address 232 in a memory module from the address selection circuit 212 into the address 234 in a memory module as it is, if single address access or two address continuation access is specified by the interleave control signal 132 when two ways are specified using the number information 230 of ways.

[0067] Moreover, the consecutive addresses generation circuit 213 will output in order the address 234 in a memory module with which 1 bit of low order of the address 232 in a memory module from the address selection circuit 212 was transposed to "0" and "1", respectively according to the timing signal 135 from 1, 2, and 4 way timing generation circuit 216, if four address continuation access is specified by the interleave control signal 132 when two ways are specified using the number information 230 of ways.

[0068] It is combined with the row number 231 from the address selection circuit 212, and the address 234 in a memory module from the consecutive-addresses generation circuit 213 is port selection-signal 133A - 133D as the memory module address 134 from 1, 2, and 4 way address translation circuit 211. A port selector 120 is supplied. The timing signal 135 from 1, 2, and 4 way timing generation circuit 216 is also supplied to this port selector 120.

[0069] A port selector 120 is port selection-signal 133A - 133D. The port which an inner active port selection signal specifies is chosen according to the timing signal 135 from the timing generation circuit 216, and the memory module address 134 is passed. when two ways (2 way interleave) are specified like this example, two address continuation access or four address continuation access is specified by the interleave control signal 132 -- if it becomes -- b17b0 in the address 131 from -- two ports (b if it is 17= 0 and is Ports A and B and b= 1 ports C and D) which the becoming most significant bit of a port number 233 shows are chosen. Similarly, if single address access is specified by the interleave control signal 132, only one port that the port number 233 which consists of b17b0 in the address 131 shows will be chosen. And the memory module of the aisle location which is connected to the selected port and specified with the row number 231 in the memory module address 134 is accessed by the address 234 in a memory module in the memory module address 134.

[0070] Here, a row number 231 is b31-b18 in the address 131, and the address 234 in a memory module is b16-b1 in the address 131. The very thing (in the case of single address access or two address continuation access), or b16-b1 1 bit of low order was transposed to "0" or "1" (in the case of four address continuation access). Therefore, memory module Ai -Di of the row number i in this example Address allotment becomes like the case with two ways in drawing 7.

(3) Explain the case where four ways are specified using the time of 4 way assignment, next the number information 230 of ways.

[0071] The address selection circuit 212 in 1, 2, and 4 way address translation circuit 211 performs information selection actuation for the address 131 of 32 bit patterns based on the number information 230 of ways.

[0072] Like this example, when four ways are specified using the number information 230 of ways, the address selection circuit 212 makes a row number b31-b18 in the address 131 of 32 bit patterns, and it is b17-b2. It considers as the address 232 in a memory module, and is b1 b0. It considers as a port number 233 and a selection output is carried out, respectively.

[0073] The port number 233 (here b in the address 131 one b0) from the address selection circuit 212 is inputted into the port selection-control circuit 214 with the interleave control signal 132 and the number information 230 of ways.

[0074] If single address access is specified by the interleave control signal 132 when four ways are specified using the number information 230 of ways like this example, the port selection-control circuit 214 Port selection-signal 133A - 133D Only only one port selection signal corresponding to the port which a port number 233 (b17b0 in the address 131) shows is activated inside. If two address continuation access is specified by the interleave control signal 132 two port selection signals ("0" -- if it becomes -- port selection-signal 133A and 133B --) corresponding to the port which the most significant bit (b1 in the address 131) of a port number 233 shows among port selection-signal 133A - 133D If it is "1", and only port selection-signal 133C and 133D are activated and four address continuation access is specified by the interleave control signal 132, it is port selection-signal 133A - 133D. All are activated.

[0075] The address 232 in a memory module from the address selection circuit 212 is inputted into the consecutive-addresses generation circuit 213 with the timing signal 135 from the interleave control signal 132, the number information 230 of ways, and 1, 2 and 4 way timing generation circuit 216. A

timing signal 135 is generated once, when four ways are specified using the number information 230 of ways like this example.

[0076] The consecutive-addresses generation circuit 213 is outputted according to the timing signal 135 from 1, 2, and 4 way timing generation circuit 216 by making the address 232 in a memory module from the address selection circuit 212 into the address 234 in a memory module as it is, when four ways are specified using the number information 230 of ways.

[0077] It is combined with the row number 231 from the address selection circuit 212, and the address 234 in a memory module from the consecutive-addresses generation circuit 213 is port selection-signal 133A - 133D as the memory module address 134 from 1, 2, and 4 way address translation circuit 211. A port selector 120 is supplied. The timing signal 135 from 1, 2, and 4 way timing generation circuit 216 is also supplied to this port selector 120.

[0078] A port selector 120 is port selection-signal 133A - 133D. The port which an inner active port selection signal specifies is chosen according to the timing signal 135 from the timing generation circuit 216, and the memory module address 134 is passed. If four address continuation access is specified by the interleave control signal 132 when four ways (4 way interleave) are specified like this example, all port A-D will be chosen. If similarly two address continuation access is specified by the interleave control signal 132 -- b1b0 in the address 131 from -- two ports which the becoming most significant bit of a port number 233 shows are chosen, and only one port where single address access is specified and that a port number 233 shows if it becomes is chosen. And the memory module of the aisle location which is connected to the selected port and specified with the row number 231 in the memory module address 134 is accessed by the address 234 in a memory module in the memory module address 134.

[0079] Here, a row number 231 is b31-b18 in the address 131, and the address 234 in a memory module is b17-b2 in the address 131. It is the very thing. Therefore, memory module Ai -Di of the row number i in this example Address allotment becomes like the case with four ways in drawing 7.

[0080] Although it is the case where a limit is not given to the port (bank) where the above connects a memory module (mounting), when the number of ports (bank) which connects a memory module (mounting) is limited and a user chooses the number of ways using the number information 230 of ways, it is also possible to consider as the configuration by which automatic assignment of the port (bank) to be used is carried out.

[Example which is the 2nd] There, with reference to a drawing, it explains per [which was applied to storage with such a port (bank) limit function] 2nd example. In addition, if it is one way, only ports A are two ways and this examples are. Ports A and B and four ways, they are examples by which automatic assignment of the activity of port A-D is carried out.

[0081] First, in the store of a configuration as shown in drawing 1, in order to realize the above port (bank) limit functions, it replaces with 1, 2, and 4 way address translation circuit 211 211 in drawing 1, i.e., 1, 2, and 4 way address translation circuit of a configuration of being shown in drawing 2, and 1, 2, and 4 way address translation circuit 311 of a configuration of being shown in drawing 4 are used. In addition, the same sign is given to the same part as drawing 2 during the configuration of drawing 4.

[0082] Like 1, 2, and 4 way address translation circuit 211 of drawing 2, 1, 2, and 4 way address translation circuit 311 shown in drawing 4 have the consecutive-addresses generation circuit 213 and the port selection-control circuit 214, and also has the address selection circuit 312 replaced with and used for the address selection circuit 212 in drawing 2.

[0083] The address selection circuit 312 is b31-b0 which are inputted like the address selection circuit 212 in drawing 2. The row number 231 of 14 bits which shows the aisle location of the memory module to access by information selection actuation based on the number information 230 of ways for the address 131 of 32 bit patterns and the address 232 in [of 16 bits] a memory module, and the 2-bit port number 233 which shows a port location are generated.

[0084] The point that the address selection circuit 312 differs from the address selection circuit 212 in drawing 2 is the content of information selection actuation for the address 131, as stated below. Namely, the address selection circuit 312 is b15-b0 in the address 131 about b29-b16 in the address 131 as the address 232 in a memory module as a row number 231, when one way is specified using the number

information 230 of ways. And it is constituted so that what transposed b31b0 in the address 131 to "00" as a port number 233 may be chosen, respectively.

[0085] moreover -- the case where, as for the address selection circuit 312, two ways are specified using the number information 230 of ways -- as a row number 231 -- b30-b17 in the address 131 -- as the address 232 in a memory module -- b16-b1 in the address 131 and -- as a port number 233 -- b31b0 in the address 131 It is constituted so that the thing replaced with "00" may be chosen, respectively.

[0086] moreover -- the case where, as for the address selection circuit 312, four ways are specified using the number information 230 of ways -- as a row number 231 -- b31-b18 in the address 131 -- as the address 232 in a memory module -- b17-b2 in the address 131 and -- as a port number 233 -- b1 b0 in the address 131 It is constituted so that the thing replaced with "00" may be chosen, respectively.

[0087] About other elements 213, i.e., consecutive-addresses generation circuit, and port selection-control circuits 214 in 1, 2, and 4 way address translation circuit 311, it is not different from the consecutive-addresses generation circuit 213 in 1, 2, and 4 way address translation circuit 211 in said 1st example, and the port selection-control circuit 214 at all.

[0088] It replaces with 1, 2, and 4 way address translation circuit 211 of a configuration of that 1, 2, and 4 way address translation circuit 311 of the above configuration are shown in drawing 2, and uses into the interleave control circuit 210 of the store of drawing 1.

[0089] In this case, since "00" is always outputted as a port number 233, if it is at the 1 way appointed time, Port A will be chosen from the address selection circuit 312 in 1, 2, and 4 way address translation circuit 311 by control of the port selection-control circuit 214, and port B-D is disregarded. Moreover, from the address selection circuit 312, b29-b16 in the address 131 are b15-b0 in the address 131 as the address 232 in a memory module as a row number 231. A selection output is carried out. Therefore, the address will be assigned to an object in order in the memory module A0 connected to Port A, A1, and --. for example, memory module Ai **** -- Address iX, iX+1, and -- (i+1) -- X-1 assigns -- having -- the following memory module Ai+1 **** -- Address (i+1) X, X (i+1)+1, and -- (i+2) -- X-1 is assigned.

[0090] Similarly, if it is at the 2 way appointed time, Ports A and B are chosen by control of the port selection-control circuit 214, Ports C and D will be disregarded and the configuration of two ways will be taken. Moreover, from the address selection circuit 312, b30-b17 in the address 131 are b16-b1 in the address 131 as the address 232 in a memory module as a row number 231. A selection output is carried out. Therefore, the address will be assigned to the port A side memory module and the port B side memory module in order by turns. for example, memory module Ai **** -- Address iX, iX+2, and -- (i+2) -- X-2 assigns -- having -- the following memory module Ai+1 **** -- Address (i+2) X, X (i+2)+2, and -- (i+4) -- X-2 is assigned. moreover, memory module Bi **** -- address iX+1, iX+3, and -- (i+2) -- X-1 assigns -- having -- the following memory module Bi+1 **** -- the address (i+2) X+1, X (i+2)+3, and -- (i+4) -- X-1 is assigned.

[0091] Similarly, if it is at the 4 way appointed time, port A-D will be chosen by control of the port selection-control circuit 214, and the configuration of four ways will be taken. However, in the configuration of two ways or four ways, it is necessary to make the number of the memory modules linked to each port to be used into the same number. When the number of a memory module changes with ports to be used, it doubles with the number of fewest memory modules.

[0092] Moreover, b31-b18 in the address 131 are b17-b2 in the address 131 as the address 232 in a memory module as a row number 231 like the address selection circuit 212 in the 1st example from the address selection circuit 312 at the time of 4 way assignment. A selection output is carried out. Therefore, the address allotment to a memory module becomes the same as that of the time of 4 way assignment in said 1st example.

[0093] The port (bank) used above according to the number of ways which the user chose in this example like is restricted. Therefore, when a user chooses the number of ways in consideration of the usable number of ports (bank) decided by the memory module mounting condition, even a low order model with a memory module configuration small-scale from the high-end model of the maximum magnitude can support.

[0094] Although the 1st and 2nd examples described above explained the store which specifies the

number of ways by switch actual of a user etc., it is also possible to detect the mounting condition of each memory module and to carry out selection setting out of the number of ways automatically.

[Example which is the 3rd] There, this invention is briefly explained with reference to a drawing per [which was applied to storage with the automatic setting function of such a number of ways] 3rd example.

[0095] Drawing 5 is the block block diagram showing the 3rd example of the store which applies the interleave method of this invention. In addition, the same sign is given to the same part as drawing 1. The memory control circuit 200 of the point that the storage shown in drawing 5 differs from the storage shown in drawing 1 is that the configuration uses a different memory control circuit 300.

[0096] The memory control circuit 300 consists of the interleave control circuit (1, 2, and 4 way interleave control circuit) 310, a number selection circuitry 340 of ways, a port selector 120, and four port A-D.

[0097] The interleave control circuit 310 consists of 1, 2 and a 4 way address translation circuit 311 of a configuration of being shown in drawing 4 applied in said 2nd example, and 1, 2 and 4 way timing generation circuit 216.

[0098] The number selection circuitry 340 of ways detects the mounting condition of a memory module, and outputs the number information 230 of ways which shows the number of ways which carries out selection setting out automatically and set up the number of ways to the interleave control circuit 310 (1, 2, inner 4 way address translation circuit 311, and inner 1, 2 and 4 way timing generation circuit 216).

[0099] In the number selection circuitry 340 of ways, it is memory module A0 -Dn. A board (not shown) with the connector for memory module connection which can be mounted to connection detecting-signal CS0 -CSn It is inputted. Connection detecting signal CSi A row number is a 4-bit signal connected to the specific pin of the connector (Ai -Di connector of **) which is four of the memory module mounting positions of i, respectively, and a signal (logic) condition is determined by whether the memory module is mounted in the connector. for example, all memory module Ai -Di(s) are mounted in the connector whose row number is four of the memory module mounting positions of i -- if it becomes -- connection detecting signal CSi "1111" -- becoming -- Ai-Di neither is mounted -- if it becomes -- connection detecting signal CSi It is set to "0000."

[0100] The number selection circuitry 340 of ways is 4 above-mentioned bits connection detecting-signal CS0 -CSn. Based on a condition, the mounting condition (configuration of a memory module) of a memory module is detected, and the number of ways is chosen. However, in this example, mounting of a memory module shall have constraint and only one mounting gestalt of connection with Port A, connection with Ports A and B, and connection with port A-D shall be allowed.

[0101] The number selection circuitry 340 of ways is connection detecting-signal CS0 -CSn. When it is judged that the memory module is connected to the port A of port A-D from the condition, the number information 230 of ways which shows one way is outputted. Moreover, the number selection circuitry 340 of ways outputs the number information 230 of ways which shows two ways when it is judged that the memory module is connected only to the ports A and B of port A-D, and when it is judged that the memory module is connected to all port A-D, it outputs the number information 230 of ways which shows four ways.

[0102] If one way is specified using the number information 230 of ways as explained in full detail in said 2nd example, 1, 2, and 4 way address translation circuit 311 will choose Port A, and will apply 1 way interleave. Moreover, if Ports A and B will be chosen, 2 way interleave will be applied, if two ways are specified using the number information 230 of ways, and four ways are specified, 1, 2, and 4 way address translation circuit 311 will choose port A-D, and will apply 4 way interleave.

[0103] In addition, in this example, since 1, 2, and 4 way address translation circuit 311 of a configuration of having been shown in drawing 4 were used, mounting of a memory module had big constraint. However, this constraint can be eased by considering as the configuration as which a port number 233 is determined according to the port where the memory module is connected.

[0104] Therefore, in the number selection circuitry 340 of ways, it is connection detecting-signal CS0 -CSn. By based decision of a connection port The value which shows Port A when it is judged that the

memory module is connected to Port A the port number of "00" The value which shows Port B when it is judged that it connects with Port B the port number of "01" The value which shows Port C when it is judged that it connects with Port C the port number of "10" And when it is judged that it connects with Port D, the function in which the value which shows Port D outputs the port number of "11" to 1, 2, and 4 way address translation circuit 311 with the number information 230 of ways is given. The value which shows Port A when it is judged that the memory module is connected to the number selection circuitry 340 of ways in Ports A and B further the port number of "00" The value which shows Port C when it is judged that it connects with Ports C and D the port number of "10" And when it is judged that it connects with port A-D, the function in which the value which shows Port A outputs the port number of "00" to 1, 2, and 4 way address translation circuit 311 with the number information 230 of ways is given.

[0105] Moreover, the function to input into the port selection-control circuit 214 by making into a port number 233 the port number outputted from the number selection circuitry 340 of ways is given to 1, 2, and 4 way address translation circuit 311.

[0106] By doing in this way, one mounting gestalt of connection with Port A, connection with Port B, connection with Port C, connection with Port D, connection with Ports A and B, connection with Ports C and D, and connection with port A-D can be taken. This technique is applicable also to said 2nd example by considering as the configuration to which the port number according to the port where the memory module is connected is given with the number information 230 of ways by switch actuation of a user etc. in 1, 2, and 4 way address translation circuit 311.

[0107] Moreover, it also becomes possible to use all the memory modules mounted by assigning the address, i.e., considering as the configuration which changes an interleave method to every port (memory bank), so that Ports A and B may be accessed in two ways and Port C may be accessed in one way, when the memory module is connected to Ports A, B, and C, for example.

[0108]

[Effect of the Invention] Since it can carry out adjustable [of the number of ways of an interleave] according to the assignment from the outside according to this invention as explained in full detail above, a user can choose as arbitration either the activity gestalt which considers an access rate as top priority, or the activity gestalt which considers a deployment of memory space as top priority. If the small number of ways is specified in order to choose the latter especially, it is not necessary to extend a useless memory module which exceeds the memory space needed for it like before since it is not necessary to extend a memory module per multiple of the number of memory banks, although the memory space to need is secured.

[0109] Moreover, since the memory bank used is chosen according to the number of the appointed ways from the outside according to this invention, the interleave control suitable for the memory bank configuration can be made to perform by specifying the number of ways to compensate for the memory bank configuration (memory module mounting gestalt) which the user built.

[0110] Moreover, since selection setting out of the number of ways can be automatically carried out by detecting a memory bank configuration according to this invention, the interleave control which suited the memory bank configuration (memory module mounting gestalt) which the user built can be made to perform without assignment actuation of a user.

[Translation done.]

NOTICES

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The block block diagram showing the 1st example of the store which applies the interleave method of this invention.

[Drawing 2] The block block diagram of 1, 2, and 4 way address translation circuit 211 in drawing 1.

[Drawing 3] Drawing arranging and showing the function of the consecutive-addresses generation circuit 213 in drawing 2.

[Drawing 4] The block block diagram of 1, 2, and 4 way address translation circuit 311 applied in the 2nd example of this invention.

[Drawing 5] The block block diagram showing the 3rd example of the store which applies the interleave method of this invention.

[Drawing 6] The block block diagram of the store of the conventional 4 way interleave method.

[Drawing 7] Drawing showing the example of the address allotment to the memory module connected to each port in the store of an interleave method.

[Description of Notations]

120 -- A port selector, 131 -- The address, 132 -- Interleave control signal, 133A - 133D -- A port selection signal, 134 -- Memory module address, 135 -- A timing signal, 200,300 -- A memory control circuit, 210,310 -- Interleave control circuit, 211,311 -- 1, 2 and 4 way address translation circuit, 212,312 -- Address selection circuit, 213 -- A consecutive-addresses generation circuit, 214 -- A port selection-control circuit, 216 -- 1, 2, and 4 way timing generation circuit, 230 [-- A port number, 340 / - - The number selection circuitry of ways A-D / -- A port and A0 -Dn / -- memory module and CS0 -CSn -- Connection detecting signal.] -- The number information of ways, 231 -- A row number, 232,234 -- The address in a memory module, 233

[Translation done.]

特開平7-295880

(43) 公開日 平成7年(1995)11月10日

(51) Int. Cl. ⁶

G06F 12/06

識別記号

540

B 7608-5B

F I

審査請求 未請求 請求項の数 3 O L (全14頁)

(21) 出願番号 特願平6-89493

(22) 出願日 平成6年(1994)4月27日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 堀岡 正宏

東京都青梅市末広町2丁目9番地 株式会

社東芝青梅工場内

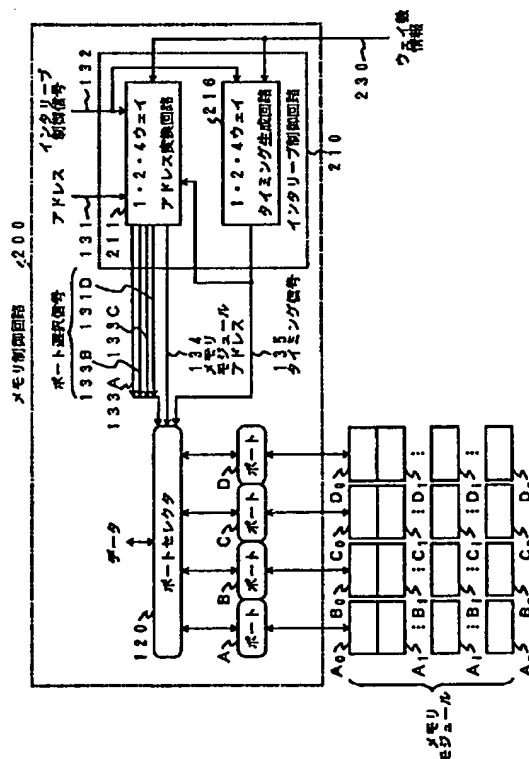
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 インタリーブ方式を適用する記憶装置

(57) 【要約】

【目的】 インタリーブのウェイ数が外部からの指定に応じて可変できるようにすることで、メモリモジュールの増設等が無駄なく行えるようにする。

【構成】 ポートA～Dに接続されたメモリモジュール群により4つのメモリバンクが構築された記憶装置において、使用者操作等により与えられるウェイ数情報230を入力し、その情報の示すウェイ数に従うインタリーブ制御を行うインタリーブ制御回路210を設ける。更に、制御回路210内に、外部指定アドレス131及びウェイ数情報230等をもとに、アクセスすべきバンク内メモリモジュールの位置情報及び当該メモリモジュール内アドレスからなるメモリモジュールアドレス134と、ポート選択信号133A～133Dとを生成してポートセレクタ120に出力するアドレス変換回路211を設け、ウェイ数情報230の示すウェイ数に応じたインタリーブ制御が行われる構成とする。



【特許請求の範囲】

【請求項1】 メモリ素子からなる複数のメモリモジュールが実装されることによりm個のメモリバンクが構築されたインタリーブ方式を適用する記憶装置において、外部より指定されたインタリーブの任意のウェイ数（但しm以下）を入力して、当該ウェイ数に従うインタリーブ制御を行うインタリーブ制御回路を備え、前記インタリーブ制御回路に、前記記憶装置をアクセスするための外部指定のアドレス及び前記指定ウェイ数をもとに、アクセスすべきバンク内メモリモジュールの位置を示すモジュール位置情報、当該メモリモジュール内アドレス、及びアクセス先メモリバンクを選択するための選択信号を生成するアドレス変換手段を設けたことを特徴とするインタリーブ方式を適用する記憶装置。

【請求項2】 メモリ素子からなる複数のメモリモジュールが実装されることにより最大m個のメモリバンクが構築可能なインタリーブ方式を適用する記憶装置において、外部より指定されたインタリーブの任意のウェイ数（但しm以下）を入力して、当該ウェイ数に従うインタリーブ制御を行うインタリーブ制御回路を備え、前記インタリーブ制御回路に、前記記憶装置をアクセスするための外部指定のアドレス及び前記指定ウェイ数をもとにアクセスすべきバンク内メモリモジュールの位置を示すモジュール位置情報及び当該メモリモジュール内アドレスを生成すると共に、前記指定ウェイ数をもとにアクセス先メモリバンクを選択するための選択信号を生成するアドレス変換手段を設けたことを特徴とするインタリーブ方式を適用する記憶装置。

【請求項3】 メモリ素子からなる複数のメモリモジュールが実装されることにより最大m個のメモリバンクが構築可能なインタリーブ方式を適用する記憶装置において、前記メモリモジュールの実装状態で決まるインタリーブのウェイ数に従うインタリーブ制御を行うインタリーブ制御回路を備え、前記インタリーブ制御回路に、前記記憶装置内での前記メモリモジュールの実装状態を検出してインタリーブのウェイ数を選択設定するためのウェイ数選択手段と、前記記憶装置をアクセスするための外部指定のアドレス及び前記ウェイ数選択手段により設定されたウェイ数をもとにアクセスすべきバンク内メモリモジュールの位置を示すモジュール位置情報及び当該メモリモジュール内アドレスを生成すると共に、前記設定ウェイ数をもとにアクセス先メモリバンクを選択するための選択信号を生成するアドレス変換手段を設けたことを特徴とするインタリーブ方式を適用する記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、主記憶装置に代表され

るインタリーブ方式を適用する記憶装置に関する。

【0002】

【従来の技術】 主記憶装置等の記憶装置では、メモリアクセスを高速に行うために、従来からインタリーブ方式が適用されるものが多い。インタリーブ方式とは、複数台用意されたメモリ（それぞれをメモリバンクと呼ぶ）にアドレスを順番に割り付けて、各バンクを並列にアクセスすることにより高速化を図る手法である。このバンクの数をmとしたものは、mウェイインタリーブ方式と呼ばれている。

【0003】 mウェイインタリーブ方式の記憶装置では、メモリを増設する場合、ウェイ数だけメモリを増設しなければならない。即ちmウェイインタリーブ方式の記憶装置の増設は、mの倍数単位で行う必要がある。このため、必要な記憶装置の容量がm個未満のメモリで確保できる場合でも、ユーザはメモリをm個増設しなければならない。

【0004】 例として、4ウェイインタリーブ方式の記憶装置のブロック構成を図6に示す。図中、A0, B0, C0, D0, ..., An, Bn, Cn, Dn はメモリモジュールである。各メモリモジュールA0 ~ Dn は、DRAMを実装したボード（ドータボード）により実現される。ここで、第i列（列番号i）のメモリモジュールAi ~ Di に割り付けられるアドレスは、図7においてウェイ数4の場合のアドレスとなる。この図7において、Xはメモリモジュールが表すアドレスの最大値を示す。なお、図7には、ウェイ数4の場合の他に、ウェイ数1の場合とウェイ数2の場合の、第i列のメモリモジュールAi ~ Di に割り付けられるアドレスについても示されている。

【0005】 メモリモジュールAi, Bi, Ci, Di は、ポートA, B, C, Dからアクセス可能なように、当該ポートA, B, C, Dに接続されている。さて、図6の記憶装置をメモリ制御回路100からアクセスする場合には、当該メモリ制御回路100内のインタリーブ制御回路110に、アドレス131とインタリーブ制御信号132が与えられる。このインタリーブ制御信号132は、幾つ連続したアドレスをアクセスするか（ここでは、1, 2, 4のいずれかとする）を示すものである。

【0006】 インタリーブ制御回路110は、4ウェイアドレス変換回路111とインタリーブタイミング生成回路116を有している。4ウェイアドレス変換回路111は、アドレス131とインタリーブ制御信号132とを受けて、アクセスするポートA~Dを選択するためのポート選択信号133A ~ 133D と、（メモリモジュールの列位置を示す列番号とメモリモジュール内アドレスからなる）メモリモジュールアドレス134とを生成する。このアドレス変換回路111からのポート選択信号133A ~ 133D とメモリモジュールアドレス1

3 4は、ポートセクタ120に出、アクセスするメモリモジュールが決定される。特に、インタリーブ制御信号132により連続したアドレスのアクセスが指定された場合には、連続でアクセスするポートとメモリモジュールのアドレスが出力される。

【0007】ポートセクタ120は、インタリーブ制御回路110内のアドレス変換回路111からのポート選択信号133A~133Dによりアクセスするポートを選択する。ここで、例えば2つの連続したアドレスのアクセスであるならば、ポートAとB、或いはポートCとDの組み合わせでアクセスされる。

【0008】次に、インタリーブタイミング生成回路116は、インタリーブ制御信号132の示すアクセスする連続したアドレスの個数をもとに、ポートセクタ120の選択のタイミングを表すタイミング信号135を出力する。

【0009】さて、図6に示すポートA~Dにメモリモジュールの接続を行う場合、メモリモジュールに割り付けるアドレスの関係で、A0~D0, A1~D1のように、Ai~Diの4個のメモリモジュールを同時に接続する必要がある。また、メモリモジュールの接続順は、A0~D0乃至An~Dnの実装位置(メモリモジュール接続用コネクタ)を持つメモリボード、システムボード等のボード(図示せず)に対してA0~D0の実装位置から順に接続していく必要がある。例えば、A0~D0の次に、A1~D1の実装位置を飛ばして、メモリモジュールA2~D2が(その本来の実装位置に)接続された場合には、A0~D0だけが接続されたものと判断され、メモリモジュールA2~D2はアクセスできない。また、例えばA0~B2までのメモリモジュールが接続された場合には、4ウェイの構成がとれるのは、A0~D1までであるため、A2とB2のメモリモジュールは接続されていたとしても、アクセスは行えない。

【0010】

【発明が解決しようとする課題】上記したように、従来のインタリーブ方式を適用する記憶装置では、メモリモジュールの増設は、固定のウェイ数(バンク数)に合わせて増設しなければならず、即ち増設単位が固定であるため、使用者は必要とする記憶装置の容量に関係なく、増設するメモリモジュールの個数を決められてしまうという問題があった。このため、小容量の記憶装置しか必要ない場合には、使用者の負担が大きくなるという問題もあった。

【0011】本発明は上記事情を考慮してなされたものでその目的は、インタリーブのウェイ数が外部からの指定に応じて可変できるようにすることにより、使用者の必要とする量のメモリモジュールの増減がバンク数に影響されずに行えるインタリーブ方式を適用する記憶装置を提供することにある。

【0012】本発明の他の目的は、使用されるメモリバ

ンクが外部からの指定ウェイ数に応じて決定されるようにすることにより、使用者の構築したメモリバンク構成(メモリモジュール実装形態)に適したインタリーブ制御が行えるインタリーブ方式を適用する記憶装置を提供することにある。

【0013】本発明の更に他の目的は、メモリバンク構成(メモリモジュール実装形態)に応じてウェイ数が自動的に選択設定できるインタリーブ方式を適用する記憶装置を提供することにある。

【0014】

【課題を解決するための手段及び作用】本発明の第1の観点に係る記憶装置は、メモリ素子からなる複数のメモリモジュールが実装されることによりm個のメモリバンクが構築されたインタリーブ方式を適用する記憶装置であって、外部より指定されたインタリーブの任意のウェイ数(但しm以下)を入力して、当該ウェイ数に従うインタリーブ制御を行うインタリーブ制御回路を備えており、このインタリーブ制御回路に設けたアドレス変換手段により、外部指定のアドレス及び指定ウェイ数をもとに、アクセスすべきバンク内メモリモジュールの位置を示すモジュール位置情報、当該メモリモジュール内アドレス、及びアクセス先メモリバンクを選択するための選択信号を生成するようにしたことを特徴とする。

【0015】上記の構成においては、外部指定のウェイ数と外部指定のアドレスで決まる、アクセスすべきバンク内メモリモジュールの位置を示すモジュール位置情報と当該メモリモジュール内のアドレス、及びアクセス先メモリバンク(基本的には外部指定アドレスと指定ウェイ数で決まる、指定ウェイ数分のメモリバンク)を選択するための選択信号が、インタリーブ制御回路内のアドレス変換手段により生成される。これにより記憶装置においては、選択信号の示す例えば指定ウェイ数分のメモリバンクが選択され、選択された各メモリバンク内の上記モジュール位置情報の示す位置にあるメモリモジュールが、上記メモリモジュール内アドレスに従ってアクセスされる。

【0016】このように、構築されているメモリバンクの数mを上限とする任意のウェイ数を外部から指定することにより、メモリバンク数に影響されずに、指定ウェイ数でのインタリーブ制御が可能となる。したがって、例えば記憶容量を増やすのに必要なメモリモジュール数がmの倍数とならない場合に、アクセス速度を犠牲にしても、最小限のメモリモジュールの増設で必要なメモリ容量を確保したいならば、m未満のウェイ数を指定すれば良い。

【0017】本発明の第2の観点に係る記憶装置は、メモリ素子からなる複数のメモリモジュールが実装されることにより最大m個のメモリバンクが構築可能なインタリーブ方式を適用する記憶装置であって、外部指定のウェイ数(但しm以下)を入力して、当該ウェイ数に従う

インタリーブ制御を行うインタリーブ回路を備えており、このインタリーブ制御回路に設けたアドレス変換手段により、外部指定のアドレス及び指定ウェイ数をもとにアクセスすべきバンク内メモリモジュールの位置を示すモジュール位置情報及び当該メモリモジュール内アドレスを生成すると共に、指定ウェイ数をもとにアクセス先メモリバンクを選択するための選択信号を生成するようにしたことを特徴とする。

【0018】上記の構成においては、外部指定のウェイ数と外部指定のアドレスで決まる、アクセスすべきバンク内メモリモジュールの位置を示すモジュール位置情報と当該メモリモジュール内のアドレスが、インタリーブ制御回路内のアドレス変換手段により生成される。また、このアドレス変換手段により、指定ウェイ数だけで決まる指定ウェイ数分のメモリバンクをアクセス先メモリバンクとして選択するための選択信号も生成される。

【0019】このように、アクセス先のメモリバンクの位置と個数が指定ウェイ数のみで一位に決まるため、言い換えれば、使用するメモリバンクの位置と個数が外部からのウェイ数指定により任意に指定でき、その指定バンクを対象として指定ウェイ数のインタリーブ制御が行えるため、使用者は、ウェイ数を指定するだけで、自身が構築したメモリバンク構成（メモリモジュール実装形態）に合わせたインタリーブ制御を行わせることができる。

【0020】また、上記したメモリバンク構成（メモリモジュール実装形態）を検出してインタリーブのウェイ数を選択設定するためのウェイ数選択手段を設けることにより、使用者が構築したメモリバンク構成（メモリモジュール実装形態）に合わせたウェイ数を自動的に選択することも可能となる。

【0021】

【実施例】以下、本発明の実施例につき図面を参照して説明する。

【第1の実施例】図1は本発明のインタリーブ方式を適用する記憶装置の第1の実施例を示すブロック構成図である。なお、図6と同一部分には同一符号を付してある。

【0022】図1の記憶装置は、メモリ制御回路200と、このメモリ制御回路200によって制御されるメモリモジュールA0、B0、C0、D0、A1、B1、C1、D1…の群により構成され、1ウェイ、2ウェイ及び4ウェイのうちの任意のウェイ数に設定変更が可能となっている。

【0023】メモリ制御回路200は、インタリーブ制御回路（1・2・4ウェイインタリーブ制御回路）210と、ポートセクタ120と、4つのポートA～Dから構成される。

【0024】第i列のメモリモジュールAi～Di（i=0～n）は例えば64KB（キロバイト）の容量のD

RAMを実装したボード（データボード）により実現されるもので、列番号iで指定されて16ビットのDRAMアドレス（メモリモジュール内アドレス）によりアクセスされる。

【0025】インタリーブ制御回路210は、外部より指定されたウェイ数を示すウェイ数情報230を入力してウェイ数の切り替えを行い、そのウェイ数と、外部から与えられる例えばb31～b0の32ビット構成のアドレス131及びインタリーブ制御信号132をもとに、メモリモジュールアドレスへの変換、インタリーブ方式のタイミング生成等を行うものである。

【0026】ポートセクタ120は、インタリーブ制御回路210の制御を受けてポートA～Dの中からアクセスするポートを選択するものである。ポートAは、当該ポートAに接続されるメモリモジュールA0、A1、…との間のデータ入出力ポートであり、入出力バッファ（図示せず）を有する。

【0027】ポートBは、当該ポートBに接続されるメモリモジュールB0、B1、…との間のデータ入出力ポートであり、入出力バッファ（図示せず）を有する。ポートCは、当該ポートCに接続されるメモリモジュールC0、C1、…との間のデータ入出力ポートであり、入出力バッファ（図示せず）を有する。

【0028】ポートDは、当該ポートDに接続されるメモリモジュールD0、D1、…との間のデータ入出力ポートであり、入出力バッファ（図示せず）を有する。インタリーブ制御回路210は、1・2・4ウェイアドレス変換回路211と、1・2・4ウェイタイミング生成回路216とから構成される。

【0029】1・2・4ウェイアドレス変換回路211は、入力されるアドレス131、インタリーブ制御信号132及び（1・2・4ウェイタイミング生成回路216からの）タイミング信号135をもとに、外部より指定されたウェイ数情報230に従い、ポートA～Dを選択するためのポート選択信号133A～133Dと、

（メモリモジュールの列番号とモジュール内アドレスからなる）メモリモジュールアドレス134とを生成するものである。

【0030】図2は、1・2・4ウェイアドレス変換回路211の構成を示す。1・2・4ウェイアドレス変換回路211は、アドレス選択回路212と、連続アドレス生成回路213と、ポート選択制御回路214とから構成される。

【0031】アドレス選択回路212は、入力されるb31～b0の32ビット構成のアドレス131を対象とするウェイ数情報230に基づく情報選択操作により、アクセスするメモリモジュールの列位置を示す例えば14ビットの列番号231及び16ビットのメモリモジュール内アドレス232と、ポート位置を示す2ビットのポート番号233とを生成するものである。

【0032】本実施例において、アドレス選択回路212は、ウェイ数情報230により1ウェイが指定されている場合には、列番号231としてアドレス131中のb31~b18を、メモリモジュール内アドレス232としてアドレス131中のb15~b0を、そしてポート番号233としてアドレス131中のb17b16を、それぞれ選択するように構成されている。

【0033】またアドレス選択回路212は、ウェイ数情報230により2ウェイが指定されている場合には、列番号231としてアドレス131中のb31~b18を、メモリモジュール内アドレス232としてアドレス131中のb16~b1を、そしてポート番号233としてアドレス131中のb17b0を、それぞれ選択するように構成されている。

【0034】またアドレス選択回路212は、ウェイ数情報230により4ウェイが指定されている場合には、列番号231としてアドレス131中のb31~b18を、メモリモジュール内アドレス232としてアドレス131中のb17~b2を、そしてポート番号233としてアドレス131中のb1b0を、それぞれ選択するように構成されている。

【0035】次に連続アドレス生成回路213は、アドレス選択回路212からのメモリモジュール内アドレス232を受けて、ウェイ数情報230及びインタリーブ制御信号132が以下に述べる条件(1)~条件(3)のいずれかを満たす場合に、インタリーブ制御信号132の指定する個数分のメモリモジュール内アドレス234を、1・2・4ウェイタイミング生成回路216からのタイミング信号135の示すタイミングで順次生成出力するものである。

【0036】まず条件(1)は、ウェイ数情報230が1ウェイを示し、インタリーブ制御信号132が4アドレス連続を示している場合である。この場合、連続アドレス生成回路213は、メモリモジュール内アドレス232の下位2ビットがそれぞれ“00”、“01”、“10”、“11”に置き換えられたメモリモジュール内アドレス234を順に出力するようになっている。

【0037】次に条件(2)は、ウェイ数情報230が1ウェイを示し、インタリーブ制御信号132が2アドレス連続を示している場合である。この場合、連続アドレス生成回路213は、メモリモジュール内アドレス232の下位1ビットがそれぞれ“0”、“1”に置き換えられたメモリモジュール内アドレス234を順に出力するようになっている。

【0038】次に条件(3)は、ウェイ数情報230が2ウェイを示し、インタリーブ制御信号132が4アドレス連続を示している場合である。この場合、連続アドレス生成回路213は、条件(2)の場合と同様に、メモリモジュール内アドレス232の下位1ビットがそれぞれ“0”、“1”に置き換えられたメモリモジュール

内アドレス234を順に出力するようになっている。

【0039】上記条件(1)~(3)以外の場合には、連続アドレス生成回路213は、入力されるメモリモジュール内アドレス232をそのままメモリモジュール内アドレス234として出力するようになっている。

【0040】以上の連続アドレス生成回路213の機能を図3に整理して示す。連続アドレス生成回路213からのメモリモジュール内アドレス234は、アドレス選択回路212からの列番号231と組み合わせられて、メモリモジュールアドレス134として、1・2・4ウェイアドレス変換回路211からポートセクタ120に送られる。

【0041】一方、ポート選択制御回路214は、アドレス選択回路212からのポート番号233及び外部からのインタリーブ制御信号132とウェイ数情報230をもとにポート選択信号133A~133Dを決定するものである。

【0042】次に、1・2・4ウェイインタリーブ制御回路210内の1・2・4ウェイタイミング生成回路216は、インタリーブ制御信号132及びウェイ数情報230をもとに、ポートセクタ120の選択のタイミングを表すタイミング信号135を出力するものである。

【0043】次に、本発明の第1の実施例の動作を説明する。まず図1の記憶装置では、使用者のスイッチ操作等により、1ウェイ、2ウェイ、4ウェイの中から使用したいウェイ数を切り替え設定できるようになっており、この操作により、そのウェイ数を示すウェイ数情報230がメモリ制御回路200内のインタリーブ制御回路210に与えられる。このウェイ数の設定は、スイッチ操作の他、キーボード操作等によっても可能である。

【0044】また、図1の記憶装置では、メモリモジュールを増設する際は、A0、B0、C0、D0、A1、B1、C1、D1、…Ai、Bi、Ci、Di、…An、Bn、Cn、Dnの順で行う必要がある。使用者は、自身が必要とする記憶装置の容量に合わせて、必要な数のメモリモジュールを、上記の順にボード上に実装する。

【0045】もし、A0~D2までのメモリモジュールを実装した場合、使用者は、メモリアクセスの高速化のために通常は4ウェイを設定する。さて、4ウェイで使用する場合のメモリ増設は、一般に4個のメモリモジュールを単位に行う必要がある。このため、メモリ容量的には例えば2個のメモリモジュールの増設で十分な場合でも、4個のメモリモジュール(A0~D2が実装されている場合であれば、A3~D3の4個のメモリモジュール)を増設しなければならない。

【0046】しかし、使用者によっては、アクセス速度を犠牲にしても、最小限のメモリモジュールの増設で必要なメモリ容量を確保したい場合がある。本実施例で

は、メモリ容量的には例えば2個のメモリモジュールで十分な場合であれば、2ウェイを切り替え設定することで、以下に述べるように2ウェイインタリーブに切り替えることができるため、メモリモジュールの増設を(4ウェイの場合のようなA3～D3の4個ではなくて)A3とB3の最小限に抑えることができる。これによって使用者側の(コスト上の)負担を軽減することができる。

【0047】また、上記の増設により、A0～B3までが実装された記憶装置において、今度はメモリ容量を犠牲にしてもアクセス速度を高速化したい場合には、2ウェイから4ウェイに切り替えれば良い。これにより、4ウェイインタリーブ制御が行われてアクセス速度を上げることができる。但し、この場合には、A3とB3のメモリモジュールはアクセスされず、無駄となる。

【0048】ここで、ウェイ数情報230に従うウェイ切り替えについて、(1)1ウェイ指定時、(2)2ウェイ指定時、(3)4ウェイ指定時のそれぞれについて順に説明する。

(1) 1ウェイ指定時

まず、ウェイ数情報230により1ウェイが指定されている状態で、図1の記憶装置内のメモリ制御回路200に対して、32ビット構成のアドレス131とインタリーブ制御信号132とが与えられたものとする。

【0049】このアドレス131とインタリーブ制御信号132は、メモリ制御回路200に設けられたインタリーブ制御回路210内の1・2・4ウェイアドレス変換回路211に、ウェイ数情報230と共に入力される。

【0050】1・2・4ウェイアドレス変換回路211内のアドレス選択回路212は、1・2・4ウェイアドレス変換回路211への入力情報中のウェイ数情報230に基づいて当該入力情報中のアドレス131を対象とする情報選択操作を行い、14ビットの列番号231、16ビットのメモリモジュール内アドレス232及び2ビットのポート番号233を生成する。

【0051】この例のように、ウェイ数情報230により1ウェイが指定されている場合、アドレス選択回路212は、32ビット構成のアドレス131中のb31～b18を列番号として、b15～b0をメモリモジュール内アドレス232として、そしてb17b16をポート番号233として、それぞれ選択出力する。

【0052】アドレス選択回路212からのポート番号233(アドレス131中のb17b16)は、インタリーブ制御信号132及びウェイ数情報230と共にポート選択制御回路214に入力される。

【0053】ポート選択制御回路214は、この例のようにウェイ数情報230により1ウェイが指定されている場合、ポート選択信号133A～133Dのうち、ポート番号233(アドレス131中のb17b16)の示す

ポートに対応するただ1ポート選択信号だけをアクティブにする。

【0054】アドレス選択回路212からのメモリモジュール内アドレス232は、インタリーブ制御信号132、ウェイ数情報230及びタイミング信号135と共に連続アドレス生成回路213に入力される。このタイミング信号135は、インタリーブ制御信号132及びウェイ数情報230をもとに、1・2・4ウェイタイミング生成回路216により生成されるものである。具体的には、インタリーブ制御信号132により4アドレス連続アクセスが、ウェイ数情報230により1ウェイが指定されている場合には、4回連続してタイミング信号135が生成され、インタリーブ制御信号132により4アドレス連続アクセスが指定され、ウェイ数情報230により2ウェイが指定されている場合と、インタリーブ制御信号132により2アドレス連続アクセスが指定され、ウェイ数情報230により1ウェイが指定されている場合には、2回連続してタイミング信号135が生成され、それ以外では、1回だけタイミング信号135が生成される。

【0055】連続アドレス生成回路213は、この例のようにウェイ数情報230により1ウェイが指定されている場合、インタリーブ制御信号132により1アドレスアクセスが指定されているならば、アドレス選択回路212からのメモリモジュール内アドレス232をそのままメモリモジュール内アドレス234として、1・2・4ウェイタイミング生成回路216からのタイミング信号135に応じて出力する。

【0056】また連続アドレス生成回路213は、ウェイ数情報230により1ウェイが指定されている場合、インタリーブ制御信号132により2アドレス連続アクセスが指定されているならば、アドレス選択回路212からのメモリモジュール内アドレス232の下位1ビットがそれぞれ“0”、“1”に置き換えられたメモリモジュール内アドレス234を、1・2・4ウェイタイミング生成回路216からのタイミング信号135に応じて順に出力する。

【0057】また連続アドレス生成回路213は、ウェイ数情報230により1ウェイが指定されている場合、インタリーブ制御信号132により4アドレス連続アクセスが指定されているならば、アドレス選択回路212からのメモリモジュール内アドレス232の下位2ビットがそれぞれ“00”、“01”、“10”、“11”に置き換えられたメモリモジュール内アドレス234を、1・2・4ウェイタイミング生成回路216からのタイミング信号135に応じて出力する。

【0058】連続アドレス生成回路213からのメモリモジュール内アドレス234は、アドレス選択回路212からの列番号231と組み合わせられ、1・2・4ウェイアドレス変換回路211からのメモリモジュールアド

レス134として、ポート選択信号133A～133D (1ウェイの例では、いずれか1つだけがアクティブ) と共に、ポートセクタ120に供給される。このポートセクタ120には、1・2・4ウェイタイミング生成回路216からのタイミング信号135も供給される。

【0059】ポートセクタ120は、選択信号133A～133Dのうちのアクティブなポート選択信号の指定するポートをタイミング生成回路216からのタイミング信号135に応じて選択し、メモリモジュールアドレス134を渡す。この例のように1ウェイ(1ウェイインタリーブ)が指定されている場合には、アドレス131中のb17b16の示すただ1つのポートが選択される。そして、その選択されたポートに接続され、且つメモリモジュールアドレス134中の列番号231で指定される列位置のメモリモジュールが、メモリモジュールアドレス134中のメモリモジュール内アドレス234によりアクセスされる。

【0060】ここで、列番号231はアドレス131中のb31～b18であり、メモリモジュール内アドレス234はアドレス131中のb15～b0のものの(1アドレスアクセスの場合)、b15～b0の下位1ビットが“0”または“1”に置き換えられたもの(2アドレス連続アクセスの場合)、或いはb15～b0の下位2ビットが“00”、“01”、“10”または“11”に置き換えられたもの(4アドレス連続アクセスの場合)である。したがって、本実施例における列番号iのメモリモジュールAi～Diへのアドレス割り付けは、図7においてウェイ数1の場合のようになる。

(2) 2ウェイ指定時

次に、ウェイ数情報230により2ウェイが指定されている場合について説明する。

【0061】1・2・4ウェイアドレス変換回路211内のアドレス選択回路212は、ウェイ数情報230に基づいて32ビット構成のアドレス131を対象とする情報選択操作を行う。

【0062】この例のように、ウェイ数情報230により2ウェイが指定されている場合、アドレス選択回路212は、32ビット構成のアドレス131中のb31～b18を列番号として、b16～b1をメモリモジュール内アドレス232として、そしてb17b0をポート番号233として、それぞれ選択出力する。

【0063】アドレス選択回路212からのポート番号233(ここではアドレス131中のb17b0)は、インタリーブ制御信号132及びウェイ数情報230と共にポート選択制御回路214に入力される。

【0064】ポート選択制御回路214は、この例のようにウェイ数情報230により2ウェイが指定されている場合、インタリーブ制御信号132により1アドレスアクセスが指定されているならば、ポート選択信号13

3A～133Dのうち、ポート番号233(アドレス131中のb17b0)の示すポートに対応するただ1つのポート選択信号だけをアクティブにし、インタリーブ制御信号132により2アドレス連続アクセスまたは4アドレス連続アクセスが指定されているならば、ポート選択信号133A～133Dのうち、ポート番号233の最上位ビット(アドレス131中のb17)の示すポートに対応する2つのポート選択信号(“0”ならばポート選択信号133A, 133B, “1”ならばポート選択信号133C, 133D)だけをアクティブにする。

【0065】アドレス選択回路212からのメモリモジュール内アドレス232は、インタリーブ制御信号132、ウェイ数情報230及び1・2・4ウェイタイミング生成回路216からのタイミング信号135と共に連続アドレス生成回路213に入力される。タイミング信号135は、この例のようにウェイ数情報230により2ウェイが指定されている場合、インタリーブ制御信号132により4アドレス連続アクセスが指定されているならば、2回連続して生成され、それ以外では1回だけ生成される。

【0066】連続アドレス生成回路213は、ウェイ数情報230により2ウェイが指定されている場合、インタリーブ制御信号132により1アドレスアクセスまたは2アドレス連続アクセスが指定されているならば、アドレス選択回路212からのメモリモジュール内アドレス232をそのままメモリモジュール内アドレス234として、1・2・4ウェイタイミング生成回路216からのタイミング信号135に応じて出力する。

【0067】また連続アドレス生成回路213は、ウェイ数情報230により2ウェイが指定されている場合、インタリーブ制御信号132により4アドレス連続アクセスが指定されているならば、アドレス選択回路212からのメモリモジュール内アドレス232の下位1ビットがそれぞれ“0”、“1”に置き換えられたメモリモジュール内アドレス234を、1・2・4ウェイタイミング生成回路216からのタイミング信号135に応じて順に出力する。

【0068】連続アドレス生成回路213からのメモリモジュール内アドレス234は、アドレス選択回路212からの列番号231と組み合わせられ、1・2・4ウェイアドレス変換回路211からのメモリモジュールアドレス134として、ポート選択信号133A～133Dと共に、ポートセクタ120に供給される。このポートセクタ120には、1・2・4ウェイタイミング生成回路216からのタイミング信号135も供給される。

【0069】ポートセクタ120は、ポート選択信号133A～133Dのうちのアクティブなポート選択信号の指定するポートをタイミング生成回路216からのタイミング信号135に応じて選択し、メモリモジュール

10

20

30

40

50

ルアドレス134を渡す。この例の2ウェイ（2ウェイインタリーブ）が指定されている場合には、インタリーブ制御信号132により2アドレス連続アクセスまたは4アドレス連続アクセスが指定されているならば、アドレス131中のb17b0からなるポート番号233の最上位ビットの示す2つのポート（b17=0ならポートA、B、b=1ならポートC、D）が選択される。同様に、インタリーブ制御信号132により1アドレスアクセスが指定されているならば、アドレス131中のb17b0からなるポート番号233の示すただ1つのポートが選択される。そして、その選択されたポートに接続され、且つメモリモジュールアドレス134中の列番号231で指定される列位置のメモリモジュールが、メモリモジュールアドレス134中のメモリモジュール内アドレス234によりアクセスされる。

【0070】ここで、列番号231はアドレス131中のb31～b18であり、メモリモジュール内アドレス234はアドレス131中のb16～b1のもの（1アドレスアクセスまたは2アドレス連続アクセスの場合）、或いはb16～b1の下位1ビットが“0”または“1”に置き換えられたもの（4アドレス連続アクセスの場合）である。したがって、本実施例における列番号iのメモリモジュールAi～Diへのアドレス割り付けは、図7においてウェイ数2の場合のようになる。

(3) 4ウェイ指定時

次に、ウェイ数情報230により4ウェイが指定されている場合について説明する。

【0071】1・2・4ウェイアドレス変換回路211内のアドレス選択回路212は、ウェイ数情報230に基づいて32ビット構成のアドレス131を対象とする情報選択操作を行う。

【0072】この例のように、ウェイ数情報230により4ウェイが指定されている場合、アドレス選択回路212は、32ビット構成のアドレス131中のb31～b18を列番号として、b17～b2をメモリモジュール内アドレス232として、そしてb1b0をポート番号233として、それぞれ選択出力する。

【0073】アドレス選択回路212からのポート番号233（ここではアドレス131中のb1b0）は、インタリーブ制御信号132及びウェイ数情報230と共にポート選択制御回路214に入力される。

【0074】ポート選択制御回路214は、この例のようにウェイ数情報230により4ウェイが指定されている場合、インタリーブ制御信号132により1アドレスアクセスが指定されているならば、ポート選択信号133A～133Dのうち、ポート番号233（アドレス131中のb17b0）の示すポートに対応するただ1つのポート選択信号だけをアクティブにし、インタリーブ制御信号132により2アドレス連続アクセスが指定されているならば、ポート選択信号133A～133Dのう

ち、ポート番号233の最上位ビット（アドレス131中のb17）の示すポートに対応する2つのポート選択信号（“0”ならばポート選択信号133A、133B、“1”ならばポート選択信号133C、133D）だけをアクティブにし、インタリーブ制御信号132により4アドレス連続アクセスが指定されているならば、ポート選択信号133A～133Dを全てアクティブにする。

【0075】アドレス選択回路212からのメモリモジュール内アドレス232は、インタリーブ制御信号132、ウェイ数情報230及び1・2・4ウェイタイミング生成回路216からのタイミング信号135と共に連続アドレス生成回路213に入力される。タイミング信号135は、この例のようにウェイ数情報230により4ウェイが指定されている場合には1回だけ生成される。

【0076】連続アドレス生成回路213は、ウェイ数情報230により4ウェイが指定されている場合、アドレス選択回路212からのメモリモジュール内アドレス232をそのままメモリモジュール内アドレス234として、1・2・4ウェイタイミング生成回路216からのタイミング信号135に応じて出力する。

【0077】連続アドレス生成回路213からのメモリモジュール内アドレス234は、アドレス選択回路212からの列番号231と組み合わせられ、1・2・4ウェイアドレス変換回路211からのメモリモジュールアドレス134として、ポート選択信号133A～133Dと共に、ポートセクタ120に供給される。このポートセクタ120には、1・2・4ウェイタイミング生成回路216からのタイミング信号135も供給される。

【0078】ポートセクタ120は、ポート選択信号133A～133Dのうちのアクティブなポート選択信号の指定するポートをタイミング生成回路216からのタイミング信号135に応じて選択し、メモリモジュールアドレス134を渡す。この例のように4ウェイ（4ウェイインタリーブ）が指定されている場合には、インタリーブ制御信号132により4アドレス連続アクセスが指定されているならば、全てのポートA～Dが選択される。同様に、インタリーブ制御信号132により2アドレス連続アクセスが指定されているならば、アドレス131中のb1b0からなるポート番号233の最上位ビットの示す2つのポートが選択され、1アドレスアクセスが指定されているならば、ポート番号233の示すただ1つのポートが選択される。そして、その選択されたポートに接続され、且つメモリモジュールアドレス134中の列番号231で指定される列位置のメモリモジュールが、メモリモジュールアドレス134中のメモリモジュール内アドレス234によりアクセスされる。

【0079】ここで、列番号231はアドレス131中

15

のb31~b18であり、メモリモジュール内アドレス23.4はアドレス131中のb17~b2のものである。したがって、本実施例における列番号iのメモリモジュールAi~Diへのアドレス割り付けは、図7においてウェイ数4の場合のようになる。

【0080】以上は、メモリモジュールを接続（実装）するポート（バンク）に制限は与えない場合であるが、メモリモジュールを接続（実装）するポート（バンク）数を限定し、使用者がウェイ数情報230によりウェイ数を選択することにより、使用するポート（バンク）が自動指定される構成とすることも可能である。

【第2の実施例】そこで、このようなポート（バンク）制限機能を持つ記憶装置に適用した第2の実施例につき図面を参照して説明する。なお、本実施例は、1ウェイであればポートAのみ、2ウェイであればポートA、B、そして4ウェイであればポートA~Dの使用が自動指定される例である。

【0081】まず、図1に示したような構成の記憶装置において、上記のようなポート（バンク）制限機能を実現するために、図1中の1・2・4ウェイアドレス変換回路211、即ち図2に示す構成の1・2・4ウェイアドレス変換回路211に代えて、図4に示す構成の1・2・4ウェイアドレス変換回路311を用いるようにする。なお、図4の構成中、図2と同一部分には同一符号を付してある。

【0082】図4に示す1・2・4ウェイアドレス変換回路311は、図2の1・2・4ウェイアドレス変換回路211と同様に、連続アドレス生成回路213及びポート選択制御回路214を有する他、図2中のアドレス選択回路212に代えて用いられるアドレス選択回路312を有する。

【0083】アドレス選択回路312は、図2中のアドレス選択回路212と同様に、入力されるb31~b0の32ビット構成のアドレス131を対象とするウェイ数情報230に基づく情報選択操作により、アクセスするメモリモジュールの列位置を示す14ビットの列番号231及び16ビットのメモリモジュール内アドレス232と、ポート位置を示す2ビットのポート番号233とを生成するものである。

【0084】アドレス選択回路312が図2中のアドレス選択回路212と異なる点は、以下に述べるようにアドレス131を対象とする情報選択操作内容である。即ちアドレス選択回路312は、ウェイ数情報230により1ウェイが指定されている場合には、列番号231としてアドレス131中のb29~b16を、メモリモジュール内アドレス232としてアドレス131中のb15~b0を、そしてポート番号233としてアドレス131中のb31b30を“00”に置き換えたものを、それぞれ選択するように構成されている。

【0085】またアドレス選択回路312は、ウェイ数

16

情報230により2ウェイ指定されている場合には、列番号231としてアドレス131中のb30~b17を、メモリモジュール内アドレス232としてアドレス131中のb16~b1を、そしてポート番号233としてアドレス131中のb31b0を“00”に置き換えたものを、それぞれ選択するように構成されている。

【0086】またアドレス選択回路312は、ウェイ数情報230により4ウェイが指定されている場合には、列番号231としてアドレス131中のb31~b18を、メモリモジュール内アドレス232としてアドレス131中のb17~b2を、そしてポート番号233としてアドレス131中のb1b0を“00”に置き換えたものを、それぞれ選択するように構成されている。

【0087】1・2・4ウェイアドレス変換回路311内の他の要素、即ち連続アドレス生成回路213及びポート選択制御回路214については、前記第1の実施例における1・2・4ウェイアドレス変換回路211内の連続アドレス生成回路213及びポート選択制御回路214と何ら変わらない。

【0088】以上の構成の1・2・4ウェイアドレス変換回路311を、図2に示す構成の1・2・4ウェイアドレス変換回路211に代えて、図1の記憶装置のインターリーブ制御回路210内に用いる。

【0089】この場合、1・2・4ウェイアドレス変換回路311内のアドレス選択回路312からはポート番号233として常に“00”が出力されることから、1ウェイ指定時であれば、ポート選択制御回路214の制御によりポートAが選択されてポートB~Dは無視される。また、アドレス選択回路312からは、列番号231としてアドレス131中のb29~b16が、メモリモジュール内アドレス232としてアドレス131中のb15~b0が選択出力される。したがって、ポートAに接続されるメモリモジュールA0, A1, ...を対象にアドレスが順番に割り付けられることになる。例えばメモリモジュールAiには、アドレスiX, iX+1, ... (i+1)X-1が割り付けられ、次のメモリモジュールAi+1には、アドレス(i+1)X, (i+1)X+1, ... (i+2)X-1が割り付けられる。

【0090】同様に、2ウェイ指定時であれば、ポート選択制御回路214の制御によりポートA, Bが選択されてポートC, Dは無視され、2ウェイの構成がとられる。また、アドレス選択回路312からは、列番号231としてアドレス131中のb30~b17が、メモリモジュール内アドレス232としてアドレス131中のb16~b1が選択出力される。したがって、ポートA側メモリモジュールとポートB側メモリモジュールにアドレスが交互に順番に割り付けられることになる。例えば、メモリモジュールAiには、アドレスiX, iX+2, ... (i+2)X-2が割り付けられ、次のメモリモジュールAi+1には、アドレス(i+2)X, (i+2)X+

17

2, ..., $(i+4)X-2$ が割り付けられる。またメモリモジュール B_i には、アドレス $iX+1$, $iX+3$, ..., $(i+2)X-1$ が割り付けられ、次のメモリモジュール B_{i+1} には、アドレス $(i+2)X+1$, $(i+2)X+3$, ..., $(i+4)X-1$ が割り付けられる。

【0091】同様に、4ウェイ指定時であれば、ポート選択制御回路214の制御によりポートA~Dが選択されて、4ウェイの構成がとられる。但し、2ウェイまたは4ウェイの構成の場合、使用する各ポートに接続するメモリモジュールの数を同数にしておく必要がある。もし、使用するポートによりメモリモジュールの個数が異なる場合には、最も少ないメモリモジュールの個数に合わせられる。

【0092】また4ウェイ指定時には、アドレス選択回路312からは、第1の実施例におけるアドレス選択回路212と同様に、列番号231としてアドレス131中の $b_{31} \sim b_{18}$ が、メモリモジュール内アドレス232としてアドレス131中の $b_{17} \sim b_2$ が選択出力される。したがって、メモリモジュールに対するアドレス割り付けは前記第1の実施例における4ウェイ指定時と同一となる。

【0093】以上のように、本実施例においては、使用者が選択したウェイ数に応じて使用するポート（バンク）が制限される。したがって、メモリモジュール実装状態によって決まる使用可能なポート（バンク）数を考慮して使用者がウェイ数を選択することにより、メモリモジュール構成が最大規模の上位モデルから小規模の下位モデルまでサポートできる。

【0094】以上に述べた第1及び第2の実施例では、使用者のスイッチ操作等によりウェイ数を指定する記憶装置について説明したが、各メモリモジュールの実装状態を検出してウェイ数を自動的に選択設定することも可能である。[第3の実施例]そこで、本発明をこのようなウェイ数の自動設定機能を持つ記憶装置に適用した第3の実施例につき図面を参照して簡単に説明する。

【0095】図5は、本発明のインタリブ方式を適用する記憶装置の第3の実施例を示すブロック構成図である。なお、図1と同一部分には同一符号を付してある。図5に示す記憶装置が図1に示す記憶装置と異なる点は、メモリ制御回路200とは構成が異なるメモリ制御回路300を用いていることである。

【0096】メモリ制御回路300は、インタリブ制御回路（1・2・4ウェイインタリブ制御回路）310と、ウェイ数選択回路340と、ポートセクタ120と、4つのポートA~Dから構成される。

【0097】インタリブ制御回路310は、前記第2の実施例で適用された図4に示す構成の1・2・4ウェイアドレス変換回路311と、1・2・4ウェイタイミング生成回路216とから構成される。

【0098】ウェイ数選択回路340は、メモリモジュ

18

ールの実装状態を検出し、ウェイ数を自動的に選択設定するものであり、設定したウェイ数を示すウェイ数情報230をインタリブ制御回路310（内の1・2・4ウェイアドレス変換回路311及び1・2・4ウェイタイミング生成回路216）に出力する。

【0099】ウェイ数選択回路340には、メモリモジュール $A_0 \sim D_n$ が実装可能なメモリモジュール接続用コネクタを持つボード（図示せず）から、接続検出信号 $CS_0 \sim CS_n$ が入力される。接続検出信号 CS_i は、列番号が i のメモリモジュール実装位置の4つのコネクタ（ $A_i \sim D_i$ 用のコネクタ）の特定ピンにそれぞれ接続されている4ビットの信号であり、そのコネクタにメモリモジュールが実装されているか否かにより、信号（の論理）状態が決定される。例えば、列番号が i のメモリモジュール実装位置の4つのコネクタにメモリモジュール $A_i \sim D_i$ が全て実装されているならば、接続検出信号 CS_i は“1111”となり、 $A_i \sim D_i$ のいずれも実装されていないならば、接続検出信号 CS_i は“0000”となる。

【0100】ウェイ数選択回路340は、上記4ビットの接続検出信号 $CS_0 \sim CS_n$ の状態をもとに、メモリモジュールの実装状態（メモリモジュールの構成）を検出して、ウェイ数を選択する。但し、本実施例では、メモリモジュールの実装に制約があり、ポートAのみへの接続、ポートA、Bへの接続、ポートA~Dへの接続のいずれかの実装形態しか許されないものとする。

【0101】ウェイ数選択回路340は、接続検出信号 $CS_0 \sim CS_n$ の状態からポートA~DのうちのポートAだけにメモリモジュールが接続されていると判断した場合には、1ウェイを示すウェイ数情報230を出力する。また、ウェイ数選択回路340は、ポートA~DのうちのポートA、Bだけにメモリモジュールが接続されていると判断した場合には、2ウェイを示すウェイ数情報230を出力し、全てのポートA~Dにメモリモジュールが接続されていると判断した場合には、4ウェイを示すウェイ数情報230を出力する。

【0102】1・2・4ウェイアドレス変換回路311は、前記第2の実施例で詳述したように、ウェイ数情報230により1ウェイが指定されているならば、ポートAを選択して1ウェイインタリブを適用する。また、1・2・4ウェイアドレス変換回路311は、ウェイ数情報230により2ウェイが指定されているならば、ポートA、Bを選択して2ウェイインタリブを適用し、4ウェイが指定されているならば、ポートA~Dを選択して4ウェイインタリブを適用する。

【0103】なお、本実施例では、図4に示した構成の1・2・4ウェイアドレス変換回路311を用いたために、メモリモジュールの実装に大きな制約があった。しかし、メモリモジュールが接続されているポートに応じてポート番号233が決定される構成とすることによ

50

り、この制約を緩和することができ

・【0104】そのため、ウェイ数選択回路340には、接続検出信号CS0～CSnに基づく接続ポートの判断により、メモリモジュールがポートAだけに接続されていると判断した場合にはポートAを示す値が“00”のポート番号を、ポートBだけに接続されていると判断した場合にはポートBを示す値が“01”のポート番号を、ポートCだけに接続されていると判断した場合にはポートCを示す値が“10”のポート番号を、そしてポートDだけに接続されていると判断した場合にはポートDを示す値が“11”のポート番号を、ウェイ数情報230と共に1・2・4ウェイアドレス変換回路311に出力する機能を持たせる。ウェイ数選択回路340には更に、メモリモジュールがポートA、Bに接続されていると判断した場合にはポートAを示す値が“00”のポート番号を、ポートC、Dに接続されていると判断した場合にはポートCを示す値が“10”のポート番号を、そしてポートA～Dに接続されていると判断した場合にはポートAを示す値が“00”のポート番号を、ウェイ数情報230と共に1・2・4ウェイアドレス変換回路311に出力する機能を持たせる。

【0105】また、1・2・4ウェイアドレス変換回路311には、ウェイ数選択回路340から出力されたポート番号をポート番号233としてポート選択制御回路214に入力する機能を持たせる。

【0106】このようにすることにより、ポートAのみへの接続、ポートBのみへの接続、ポートCのみへの接続、ポートDのみへの接続、ポートA、Bへの接続、ポートC、Dへの接続、ポートA～Dへの接続のいずれかの実装形態をとることができる。この技術は、メモリモジュールの接続されているポートに応じたポート番号を使用者のスイッチ操作等によりウェイ数情報230と共に1・2・4ウェイアドレス変換回路311に与えられる構成とすることにより、前記第2の実施例にも適用することができる。

【0107】また、例えばポートA、B、Cにメモリモジュールが接続されている場合に、ポートA、Bを2ウェイでアクセスし、ポートCを1ウェイでアクセスするように、アドレスの割り付けを行うことで、即ちポート（メモリバンク）毎にインタリーブ方式を切り替える構成とすることで、実装されているメモリモジュールを全て使用することも可能となる。

【0108】

【発明の効果】以上詳述したように本発明によれば、インタリーブのウェイ数が外部からの指定に応じて可変できるため、使用者は、アクセス速度を最優先とする使用形態、或いはメモリ容量の有効利用を最優先とする使用

形態のいずれも任意に選択することができる。特に、後者を選択するために小さなウェイ数を指定するならば、必要とするメモリ容量を確保するのに、メモリバンク数の倍数単位でメモリモジュールの増設を行う必要はないため、従来のように必要とするメモリ容量を越えるような無駄なメモリモジュールの増設を行わずに済む。

【0109】また本発明によれば、外部からの指定ウェイ数に応じて、使用されるメモリバンクが選択されるため、使用者が構築したメモリバンク構成（メモリモジュール実装形態）に合わせてウェイ数を指定することにより、そのメモリバンク構成に適したインタリーブ制御を行わせることができる。

【0110】また本発明によれば、メモリバンク構成を検出することでウェイ数が自動的に選択設定できるため、使用者が構築したメモリバンク構成（メモリモジュール実装形態）に適合したインタリーブ制御を使用者の指定操作なしに行わせることができる。

【図面の簡単な説明】

【図1】本発明のインタリーブ方式を適用する記憶装置の第1の実施例を示すブロック構成図。

【図2】図1中の1・2・4ウェイアドレス変換回路211のブロック構成図。

【図3】図2中の連続アドレス生成回路213の機能を整理して示す図。

【図4】本発明の第2の実施例で適用される1・2・4ウェイアドレス変換回路311のブロック構成図。

【図5】本発明のインタリーブ方式を適用する記憶装置の第3の実施例を示すブロック構成図。

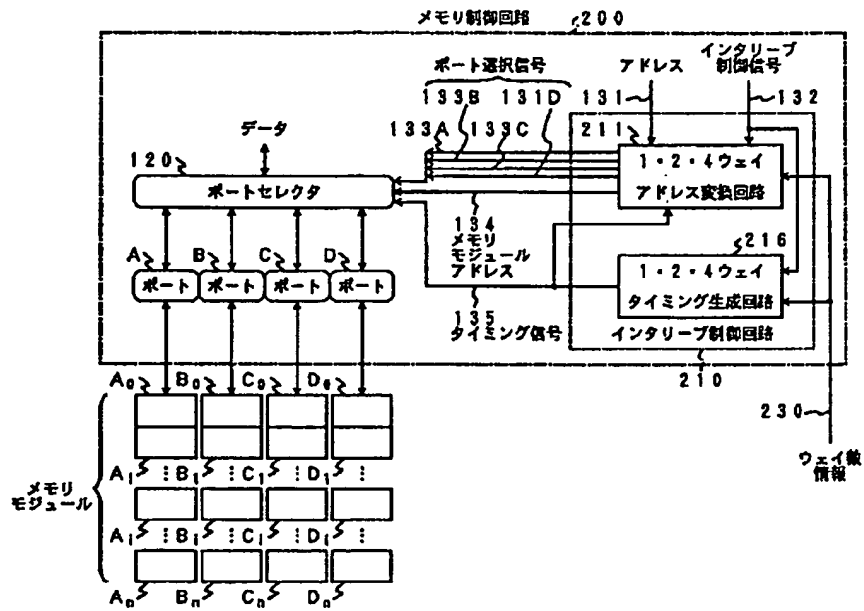
【図6】従来の4ウェイインタリーブ方式の記憶装置のブロック構成図。

【図7】インタリーブ方式の記憶装置において各ポートに接続されるメモリモジュールに対するアドレス割り付けの例を示す図。

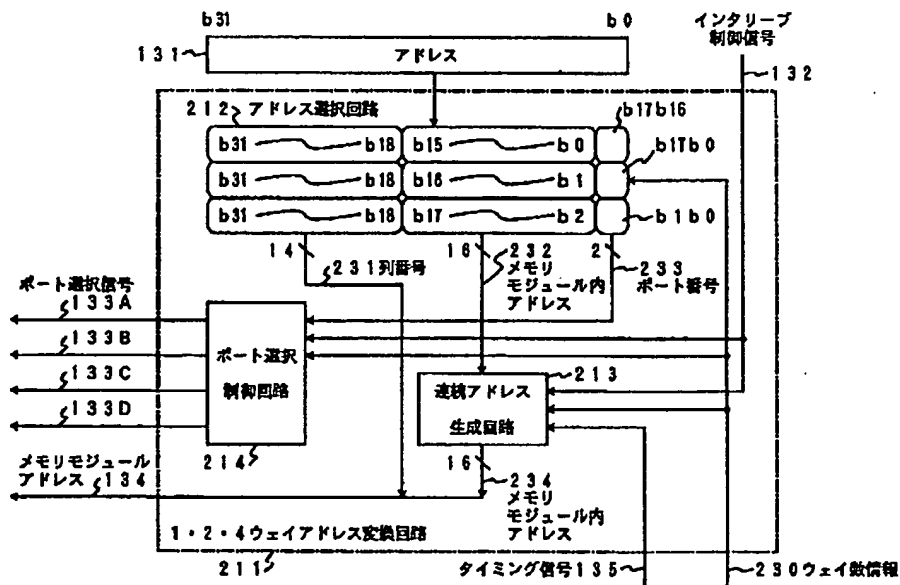
【符号の説明】

120…ポートセクタ、131…アドレス、132…インタリーブ制御信号、133A～133D…ポート選択信号、134…メモリモジュールアドレス、135…タイミング信号、200、300…メモリ制御回路、210、310…インタリーブ制御回路、211、311…1・2・4ウェイアドレス変換回路、212、312…アドレス選択回路、213…連続アドレス生成回路、214…ポート選択制御回路、216…1・2・4ウェイタイミング生成回路、230…ウェイ数情報、231…列番号、232、234…メモリモジュール内アドレス、233…ポート番号、340…ウェイ数選択回路、A～D…ポート、A0～Dn…メモリモジュール、CS0～CSn…接続検出信号。

【図1】



【図2】

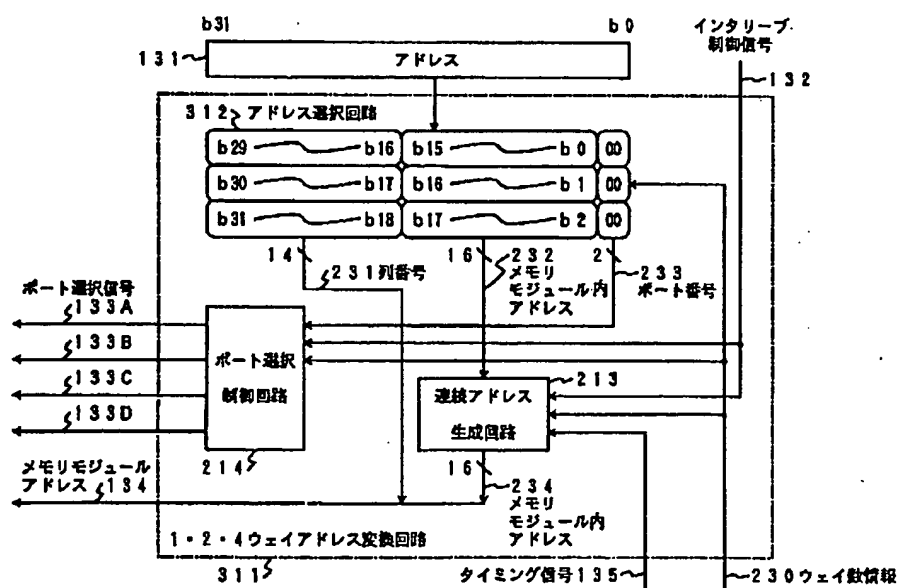


【图7】

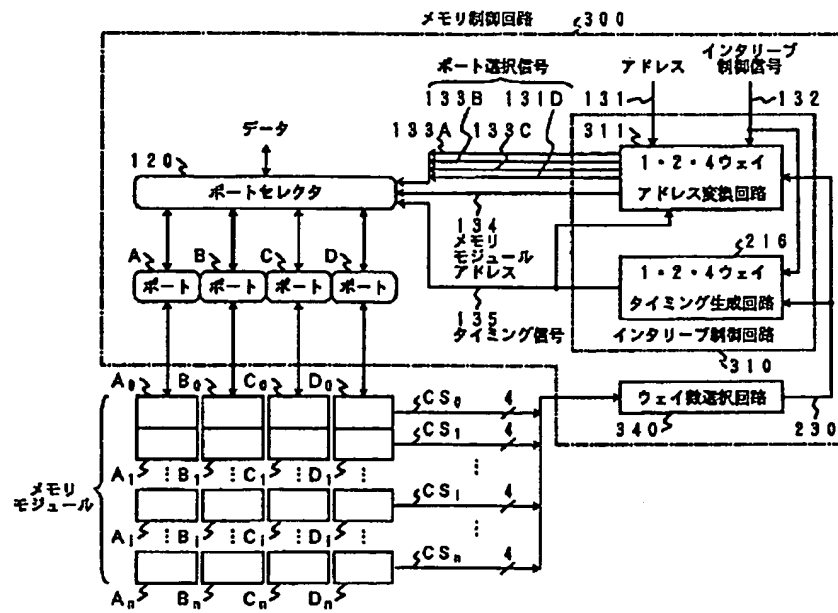
ウェイト数	メモリモジュールに割り付けられるアドレス			
	AX	BI	CI	DI
1	iX $iX+1$ \vdots $(i+1)X-1$	$(i+1)X$ $(i+1)X+1$ \vdots $(i+2)X-1$	$(i+2)X$ $(i+2)X+1$ \vdots $(i+3)X-1$	$(i+3)X$ $(i+3)X+1$ \vdots $(i+4)X-1$
2	iX $iX+2$ \vdots $(i+2)X-2$	$iX+1$ $iX+3$ \vdots $(i+2)X-1$	$(i+2)X$ $(i+2)X+2$ \vdots $(i+4)X-2$	$(i+2)X+1$ $(i+2)X+3$ \vdots $(i+4)X-1$
4	iX $iX+4$ \vdots $(i+4)X-4$	$iX+1$ $iX+5$ \vdots $(i+4)X-3$	$iX+2$ $iX+6$ \vdots $(i+4)X-2$	$iX+3$ $iX+7$ \vdots $(i+4)X-1$

X: メモリモジュールが表わすモジュール内アドレスの最大値

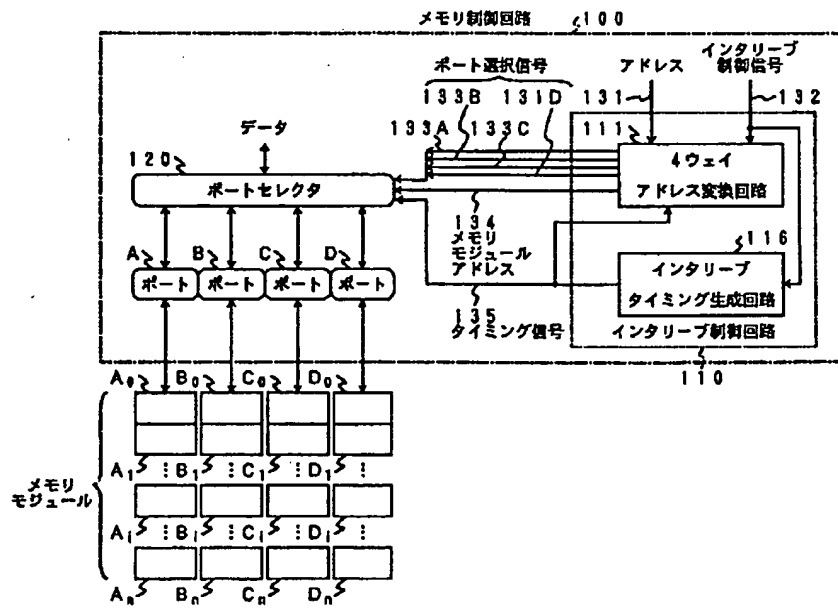
【图4】



【図5】



【図6】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.